

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

17699863

Basic Patent (No,Kind,Date): US 20020036625 AA 20020328 <No. of Patents: 008>

DISPLAY DEVICE AND DRIVING METHOD THEREOF (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO (JP)

Author (Inventor): NAKAMURA TAKASHI (JP)

National Class: *345204000;

IPC: *G09G-005/00;

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 2002156953	A2	20020531	JP 2001269300	A	20010905	
JP 2002156954	A2	20020531	JP 2001269397	A	20010905	
JP 2002175040	A2	20020621	JP 2001269356	A	20010905	
JP 3428593	B2	20030722	JP 2001269356	A	20010905	
US 20020036625	AA	20020328	US 945826	A	20010905	(BASIC)
US 20020075211	AA	20020620	US 945816	A	20010905	
TW 521248	B	20030221	TW 90121977	A	20010905	
TW 521249	B	20030221	TW 90121978	A	20010905	

Priority Data (No,Kind,Date):

JP 2001269300	A	20010905
JP 2000269177	A	20000905
JP 2001269397	A	20010905
JP 2001269356	A	20010905

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

07306558 **Image available**

DISPLAY DEVICE AND DRIVE METHOD THEREFOR

PUB. NO.: **2002-175040** [JP 2002175040 A]

PUBLISHED: June 21, 2002 (20020621)

INVENTOR(s): NAKAMURA TAKU

APPLICANT(s): TOSHIBA CORP

APPL. NO.: 2001-269356 [JP 2001269356]

FILED: September 05, 2001 (20010905)

PRIORITY: 2000-269177 [JP 2000269177], JP (Japan), September 05, 2000
(20000905)

INTL CLASS: G09G-003/20; G02F-001/133; G02F-001/1368; G09F-009/30;
G09G-003/30; G09G-003/36

ABSTRACT

PROBLEM TO BE SOLVED: To provide a liquid crystal display device, enabling reduction in power consumption and size.

SOLUTION: The liquid crystal display device is provided with a pixel array part 1, address decoders 2, 3, display memory 4 (VRAM), and a VRAM controller 5, and transmits and receives signals to/from a CPU 6 and a peripheral circuit 7. The pixel array part 1 is of an area gradation pixel structure, in which each pixel is composed of a plurality of one-bit memories. The whole pixel array part 1 is divided into pixel blocks consisting of plural pixels, and one-bit memory rewrite is performed in block units. The one-bit memory is of a dual word line structure.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-175040

(P 2 0 0 2 - 1 7 5 0 4 0 A)

(43) 公開日 平成14年6月21日 (2002. 6. 21)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
G09G 3/20	641	G09G 3/20	G 2H092
	611		A 2H093
	621		B 5C006
	624		B 5C080
G02F 1/133	550	G02F 1/133	5C094

審査請求 有 請求項の数24 O L (全25頁) 最終頁に続く

(21) 出願番号 特願2001-269356 (P 2001-269356)
(22) 出願日 平成13年9月5日 (2001. 9. 5)
(31) 優先権主張番号 特願2000-269177 (P 2000-269177)
(32) 優先日 平成12年9月5日 (2000. 9. 5)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(72) 発明者 中 村 卓
埼玉県深谷市幡羅町一丁目9番地2 株式
会社東芝深谷工場内
(74) 代理人 100075812
弁理士 吉武 賢次 (外4名)

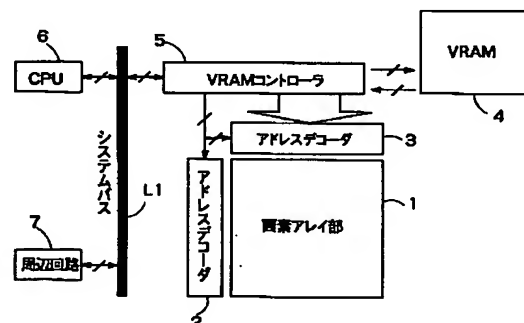
最終頁に続く

(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

【課題】 消費電力を低減でき、かつ小型化が可能な液晶表示装置を提供する。

【解決手段】 液晶表示装置は、画素アレイ部1と、アドレスデコーダ2、3と、表示メモリ (VRAM) 4と、VRAMコントローラ5とを備えており、システムバスL1を介してCPU 6および周辺回路7と信号の送受を行う。画素アレイ部1は、複数の1ビットメモリで各画素を構成した面積階調画素構造になっている。画素アレイ部1全体を複数の画素からなる画素ブロックに区分けし、ブロック単位で1ビットメモリの書き換えを行う。1ビットメモリは二重ワード線構造になっている。



【特許請求の範囲】

【請求項 1】マトリクス状に配置された複数の表示画素と、

この表示画素の行方向に沿って配置される複数本の走査線と、

この表示画素の列方向に沿って配置されるデータ線と、
前記データ線に画素データを供給するデータ線駆動回路と、

前記走査線に走査信号を供給する走査線駆動回路と、

前記データ線駆動回路及び前記走査線駆動回路を制御する制御部と、を備えた表示装置において、

前記表示画素は、

前記走査信号にตอบสนองして対応する前記画素データをサンプリングするサンプリング部と、このサンプリング部によってサンプリングされた対応データを保持するメモリ部と、前記対応データに基づいて所定の表示を行なう表示部と、からなる複数の副表示画素を有し、

前記複数の副表示画素は、

一のデータ線と一の走査線とに対応して設けられる第 1 副表示画素と、

前記一のデータ線と他の走査線とに対応して設けられる第 2 副表示画素と、を含むことを特徴とする表示装置。

【請求項 2】前記一の走査線と前記他の一走査線とは互いに隣接して配置され、前記第 1 及び第 2 副表示画素は前記一のデータ線を隔てて配置されることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】前記一の走査線と前記他の一走査線とは互いに隣接して配置され、前記第 1 及び第 2 副表示画素は、前記一のデータ線と、この一のデータ線と隣接する他のデータ線との間に配置されることを特徴とする請求項 1 に記載の表示装置。

【請求項 4】前記複数の副表示画素は、それぞれ異なる表示面積で形成されることを特徴とする請求項 1 に記載の表示装置。

【請求項 5】前記複数の副表示画素のそれぞれは、前記画素データのビットに対応して設けられ、前記画素データの MSB (Most Significant Bit) 側のビットに対応する副表示画素ほど、表示面積が大きいことを特徴とする請求項 4 に記載の表示装置。

【請求項 6】前記複数の副表示画素それぞれの表示面積の比率は、2 のべき乗に設定されることを特徴とする請求項 5 に記載の表示装置。

【請求項 7】前記メモリ部は、SRAM で構成されることを特徴とする請求項 1 に記載の表示装置。

【請求項 8】前記複数の副表示画素は、

第 1 ワード線に接続された第 1 副表示画素と、

第 2 ワード線に接続された第 2 副表示画素と、

第 3 ワード線に接続された第 3 副表示画素と、

第 4 ワード線に接続された第 4 副表示画素と、を有し、

前記第 1 ～第 4 副表示画素のそれぞれは、1 フレーム期

間内にそれぞれ一回ずつ所定期間だけ表示されることを特徴とする請求項 1 に記載の表示装置。

【請求項 9】前記第 1 ～第 4 副表示画素は、それぞれ異なる表示面積で形成されることを特徴とする請求項 8 に記載の表示装置。

【請求項 10】縦横に列設された複数の 1 ビットメモリからなるメモリセルと、

前記複数の 1 ビットメモリのそれぞれに対応して設けられる画素電極と、

ワード線の論理に応じて、前記データ線と前記 1 ビットメモリとの接続経路を遮断するか否かを切替制御する接続制御回路と、

極性制御信号に応じて、前記データ線と前記 1 ビットメモリとの間で送受されるデータの極性を反転するか否かを切替制御する極性反転回路と、を備えることを特徴とする表示装置。

【請求項 11】前記 1 ビットメモリの隣接する複数個で 1 画素が構成され、

1 画素内には、赤色用の少なくとも一つの前記 1 ビットメモリと、緑色用の少なくとも一つの前記 1 ビットメモリと、青色用の少なくとも一つの前記 1 ビットメモリとが設けられることを特徴とする請求項 10 に記載の表示装置。

【請求項 12】前記 1 ビットメモリの隣接する複数個で 1 画素が構成され、

1 画素内には、赤色用の複数の前記 1 ビットメモリと、緑色用の複数の前記 1 ビットメモリと、青色用の複数の前記 1 ビットメモリとが設けられ、各色の前記複数の 1 ビットメモリの面積は互いに異なっていることを特徴とする請求項 10 に記載の表示装置。

【請求項 13】縦横に列設された複数の 1 ビットメモリからなるメモリセルと、

2 個以上の所定個の前記 1 ビットメモリに対応して設けられる画素電極と、複数の第 1 ワード線および第 2 ワード線の論理により論理が定まる複数の副ワード線と、を備え、

前記副ワード線のそれぞれには、複数画素分の前記 1 ビットメモリが接続され、前記副ワード線の論理により、対応する複数画素分の前記 1 ビットメモリの読み書きが行われることを特徴とする表示装置。

【請求項 14】前記副ワード線が列設される第 1 方向とは異なる第 2 方向に列設される複数のデータ線と、極性制御信号に応じて、前記データ線と前記 1 ビットメモリとの間で送受されるデータの極性を反転するか否かを切替制御する極性反転回路と、を備えることを特徴とする請求項 13 に記載の表示装置。

【請求項 15】マトリクス状に配置された複数の表示画素と、

この表示画素の行方向に沿って配置される複数本の走査線と、

この表示画素の列方向に沿って配置されるデータ線と、前記データ線に画素データを供給するデータ線駆動回路と、前記走査線に走査信号を供給する走査線駆動回路と、前記データ線駆動回路及び前記走査線駆動回路を制御する制御部と、を備えた表示装置において、前記表示画素は、前記走査信号に応答して対応する前記画素データをサンプリングするサンプリング部と、このサンプリング部によってサンプリングされた対応データを保持するメモリ部と、前記対応データに基づいて所定の表示を行なう表示部と、からなる複数の副表示画素を有し、前記複数の副表示画素は、第 1 データ線に接続される n ($n \geq 1$) 個の第 1 副表示画素と、第 2 データ線に接続される前記 n 個の第 2 副表示画素と、を含むことを特徴とする表示装置。

【請求項 1 6】前記メモリ部は、DRAMで構成され、前記複数の副表示画素のそれぞれは、1 水平走査期間に、複数の分離した点灯期間をもち、各点灯期間はそれぞれ時間長さが異なっていることを特徴とする請求項 1 5 に記載の表示装置。

【請求項 1 7】前記複数の副表示画素それぞれの表示を行うのに同期させて、前記メモリ部のリフレッシュ動作を行うリフレッシュ回路を備えることを特徴とする請求項 1 5 に記載の表示装置。

【請求項 1 8】各画素の各色ごとに、画素データのビット数と同数ずつ設けられる複数の 1 ビットメモリと、前記複数の 1 ビットメモリそれぞれの値に応じて点灯または消灯する複数の EL (electroluminescence) 素子と、各画素の各色ごとに一つずつ設けられ、対応する前記 1 ビットメモリのデータを順に保持する保持回路と、前記保持回路で保持されたデータの論理に応じてオン・オフする駆動用トランジスタと、を備え、前記駆動用トランジスタは、オンのときに、1 フレーム期間に画素データのビット数と同数の点灯可能な期間を持ち、これら期間のそれぞれで点灯するか否かを指示する信号を前記 EL 素子に供給することを特徴とする表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、表示装置に関し、特に、消費電力の低減と回路構成の簡略化を図る技術に関する。

【0 0 0 2】

【従来の技術】従来、携帯電話を初めとする携帯機器では、モノクロの表示装置を搭載することが多かったが、携帯機器でインターネットに接続する等の機会が増えてきたこともあり、カラーの表示装置を搭載するものが増

えてきた。

【0 0 0 3】

【発明が解決しようとする課題】カラーの表示装置は、モノクロに比べて消費電力が多いため、携帯機器のバッテリーの充電間隔が短くなるという問題がある。また、回路も複雑になるため、小型化が困難になり、コストアップにもなる。特に、小型化を図るには、画素アレイ基板上に駆動回路を一体に形成するのが望ましいが、カラーの場合、駆動回路の構成が複雑になるだけでなく、画素データを格納するメモリの容量も増えるため、画素アレイ基板上に駆動回路を一体に形成するのが技術的に難しい。

【0 0 0 4】さらに、従来は、表示エリアのすべてを一定の間隔で書き換えていたため、表示解像度が高くなるにつれて画素クロックの周波数を速くする必要があった。

【0 0 0 5】このような問題点を解決するものとして、例えば特開 2000-227608 号公報には、表示内容が変化した水平画素ラインのみ選択走査して表示内容を書き換える技術が開示されている。

【0 0 0 6】しかしながら、このような水平画素ライン毎の制御では必ずしも通常駆動時に比べて低消費電力化は達成されない。

【0 0 0 7】本発明は、このような点に鑑みてなされたものであり、その目的は、消費電力を低減でき、かつ小型化が可能な表示装置を提供することにある。

【0 0 0 8】

【課題を解決するための手段】上述した課題を解決するために、本発明に係る表示装置は、マトリクス状に配置された複数の表示画素と、この表示画素の行方向に沿って配置される複数の走査線と、この表示画素の列方向に沿って配置されるデータ線と、前記データ線に画素データを供給するデータ線駆動回路と、前記走査線に走査信号を供給する走査線駆動回路と、前記データ線駆動回路及び前記走査線駆動回路を制御する制御部と、を備えた表示装置において、前記表示画素は、前記走査信号に応答して対応する前記画素データをサンプリングするサンプリング部と、このサンプリング部によってサンプリングされた対応データを保持するメモリ部と、前記対応データに基づいて所定の表示を行なう表示部と、からなる複数の副表示画素を有し、前記複数の副表示画素は、一のデータ線と一の走査線とに対応して設けられる第 1 副表示画素と、前記一のデータ線と他の走査線とに対応して設けられる第 2 副表示画素と、を含む。

【0 0 0 9】

【発明の実施の形態】以下、本発明に係るについて、図面を参照しながら具体的に説明する。

【0 0 1 0】以下、本発明に係る表示装置について、図面を参照しながら具体的に説明する。

【0 0 1 1】（第 1 の実施形態）図 1 は本発明に係る表

示装置の第1の実施形態の概略構成を示すブロック図であり、液晶表示装置の構成を示している。

【0012】図1の液晶表示装置は、画素アレイ部1と、アドレスデコーダ2、3と、表示メモリ(VRAM)4と、VRAMコントローラ5とを備えており、システムバスL1を介してCPU6および周辺回路7と信号の送受を行う。

【0013】画素アレイ部1は、複数の1ビットメモリで各画素を構成した面積階調表示が可能な画素構造になっている。図2は1画素分の構造を示す図である。図示のように、1画素はRGBの各色表示画素ごとにそれぞれ4つの副画素領域で構成され、各領域にはそれぞれ1ビット分のメモリが設けられている。図2は1表示画素が各色ごとに4ビットの表示信号に基づく4つの副画素領域で構成されている例を示しており、最下位ビットをd0、最上位ビットをd3とすると、各画素の画素値は、 $2^0 \cdot d0 + 2^1 \cdot d1 + 2^2 \cdot d2 + 2^3 \cdot d3$ で表される。これにより、各色ごとに、 $2^4 = 16$ 階調の表示が可能となる。

【0014】副画素領域内の各1ビットメモリは、A1やAg等で構成される例えば反射性を有する画素電極に接続されている。これら反射画素電極の上面には液晶層を挟んで例えば対向電極が配置されている。

【0015】また、図2では、最下位ビットd0から最上位ビットd3までの各4ビットの面積比が、d0:d1:d2:d3=1:2:4:8の例を示している。一般には、各ビットの面積×白色の透過率が2のべき乗になるようにするのが望ましい。なお、1画素を構成する副画素領域は、表示信号のビット数に対応して、例えば6ビットの表示信号であれば所望の面積比率と成るように6副画素領域に分割すればよい。

【0016】各画素を構成する4つの副画素領域の配列は、必ずしも各表示画素内で順番に並んでいる必要はなく、図2Aのように(d0, d3, d1, d2)の順に並んでいてもよく、あるいは、図2Bのように(d0, d1, d2, d3)の順に並んでいてもよい。また、図2Cのように2次元状に並んでいても良く、これはメモリとの接続のしやすさ、カラーフィルタの構造とを考慮し、開口率が最大となるようにするのが望ましい。

【0017】図2ではRGBの各色の表示画素を構成する副表示画素数が等しく、各色の表示階調数が16階調とした場合を示したが、色ごとに表現可能な表示階調数を異ならしめても良い。例えば、図3は、RとBが3ビット、即ち3つの副画素領域で構成され、Gが4ビット、即ち4つの副画素領域で構成されている例を示している。

【0018】図2では各副画素領域の面積がRGBの各色で等しい例を説明したが、各副画素領域の面積がRGBの各色で異なってもよい。実際には、最も自然な色合いになるようにRGBのビット数を定めればよい。

また、各副画素領域の面積比がRGBの各色で異なってもよい。

【0019】図1のVRAMコントローラ5は、CPU6から送られる映像データをVRAM4に書き込み、VRAM4から画素ブロック単位で映像データを取り出し、画素ブロック座標を示すアドレスデータとともにアドレスデコーダ2、3に出力し、アドレスデコーダ2、3は画素アレイ部1の対応する画素ブロックの1ビットメモリに映像データを格納する。

【0020】画素ブロックのサイズは、1フォント描画に要するドット数に略等しい。VRAMコントローラ5は、1ビットメモリをアクセスするための分周用クロックを出力する。また、VRAMコントローラ5は、データ休止期間(ブランキング期間)中に中間電位を出力可能である。

【0021】画素アレイ部1は、データ休止期間中に1ビットメモリのリフレッシュ動作および液晶印加電圧の極性反転が行えるように、クロック発生回路を備えている。

【0022】VRAMコントローラ5はシリコンチップで構成され、画素アレイ部1が形成されるガラス基板上に例えばCOG(chip on glass)実装される。あるいは、VRAMコントローラ5とCPU6を一つのシリコンチップにまとめて、ガラス基板上にCOG実装してもよい。さらに、このチップにVRAM4を内蔵してもよい。

【0023】本実施形態は、画素アレイ部1全体を複数の画素からなる二次元マトリクス状の画素ブロックに区分けし、ブロック単位で各画素の1ビットメモリの書き換えを行う点に特徴がある。ブロック単位で書き換えを行うことで、周辺デコーダ回路のビット数を削減でき、回路の実装面積が小さくなる。また、現実問題として、1画素分だけの書き換えを行うことはほとんどなく、通常は数十画素分まとめて書き換えを行うため、ブロック単位で書き換えを行っても、消費電力を浪費するような冗長動作には必ずしもならないですむ。

【0024】さらに、本実施形態では、VRAM4に書き込む単位よりも、VRAM4から読み出す単位を大きくしている。これにより、書き換えが必要な範囲だけVRAM4の書き換えを行うとともに、VRAM4からの高速読み出しが可能になる。

【0025】図1の液晶表示装置の具体例として、画素数が256(×3)×256ドットで、16ドットの文字を表示する場合、画素ブロックは16×16ドットの二次元マトリクス状にし、アドレスデコーダ2、3は4ビットデコーダとし、静止画時は6ビットとし、ポリシリコン発振回路を用いて待機時液晶画素極性反転を行い、外部コントローラは完全休止させる。また、VRAM4、VRAMコントローラ5およびCPU6は一つのチップにまとめ、VRAM4はCPU6の主記憶メモリの一部を用いる。このチップは、画素アレイ部1が形成されるガラス基板上にCOG

実装される。

【 0 0 2 6 】 図 4 は画素アレイ部 1 と、その周辺の回路構成を示すブロック図である。図示のように、画素アレイ部 1 は二次元マトリクス状に複数のメモリセル（画素ブロック） 1 1 に区分され、各メモリセル 1 1 は複数の画素で構成されている。メモリセル 1 1 を構成する各画素は面積が重み付けされた 2 並列に配置されるそれぞれ 3 つの副画素、合計 6 副画素で構成され、それぞれの副画素には S R A M 構造の 1 ビットメモリが設けられている。

【 0 0 2 7 】 1 ビットメモリは、等価回路的には、図示のように、例えばトランジスタ Q 1、Q 2 とインバータ I V 1、I V 2 とで構成される S R A M であって、データバス 1 2 から供給されたデータを保持する。1 ビットメモリに保持されたハイレベル電圧またはローレベル電圧を画素電極に印加し、画素電極とコモン電圧との間の電位差を液晶層に印加する構造になっている。

【 0 0 2 8 】 メモリセル 1 1 には、ビット線駆動回路 1 3 とワード線駆動回路 1 4 とが接続されている。ビット線駆動回路は、データバス 1 2 上の画素データをどのビット線に供給するかを選択する列ブロックセクタ 1 5 を有する。また、ワード線駆動回路 1 4 は、行ブロックセクタ 1 6 と、シフトレジスタ 1 7 とを有する。行ブロックセクタ 1 6 はいずれかのブロックを選択し、選択したブロック内のワード線をシフトレジスタ 1 7 が順次駆動する。

【 0 0 2 9 】 本実施形態では、例えば絶縁基板としてガラス基板上に、低温ポリシリコン技術を利用して画素表示用のトランジスタと駆動回路用のトランジスタを形成する。ところが、低温ポリシリコンで形成されたトランジスタは、シリコンウエハ上に形成される結晶シリコンによるトランジスタに比べて動作速度が遅いため、電圧振幅を大きくする必要がある。このため、ガラス基板の外側から供給されたアドレスデータや映像データはガラス基板上でレベル変換される。

【 0 0 3 0 】 図 5 はメモリセル 1 1 周辺の回路構成をより詳しく示したブロック図である。図示のように、画素データのレベル変換を行うレベルシフタおよびシリアル-パラレル変換回路（S P 変換回路） 2 1 と、バッファ 2 2 と、データバッファ 2 3 と、行側のアドレスバッファ 2 4 および行ブロックデコーダ 2 5 と、列側のアドレスバッファ 2 6、列ブロックデコーダ 2 7 およびマルチプレクサ 2 8 と、同期信号等を生成する制御回路 2 9 と、待機時クロック発生回路 3 0 と、クロック切替え回路 3 1 と、極性制御回路 3 2 とを有する。

【 0 0 3 1 】 図 5 のレベルシフタ 2 1 でレベルシフトされたデータは、シリアル-パラレル変換回路（S P 変換回路） 2 1 で分周される。S P 変換回路 2 1 は、データ期間を n 倍（ n は 2 以上の自然数）に引き延ばし、後段側のデジタル回路でのタイミングマージンを確保しやす

くする。

【 0 0 3 2 】 ガラス基板には、映像データと、書き込みを行うブロックを指定するブロックアドレスデータとが入力される。データバス 1 2 は本数ができるだけ少ないほど望ましいため、本実施形態では、映像データとブロックアドレスとを同一のバスで伝送するようにしている。具体的には、各ブロックごとに、まずアドレスデータを伝送し、次に映像データを伝送する。アドレスデータは、行/列アドレスバッファ 2 4、2 6 に保持され、データバスを確定する。また、映像データは、データバッファ 2 3 に蓄えられて所定の順序でマルチプレクサ 2 8 を経由して、画素アレイ部 1 内の信号線に送られる。

【 0 0 3 3 】 図 2 のような 1 ビットメモリを用いて液晶表示を行う場合、待機時も表示を継続しなければならない。ところが、液晶に直流電圧が長期間にわたり印加されると液晶が焼き付け等を起こすため、待機時でも所定期間毎に極性反転動作を行う必要がある。このため、本実施形態では、図 5 に示すように待機時クロック発生回路 3 0 を設け、待機時には通常よりも緩やかな速度で極性反転を行う、例えば通常駆動時は 1 垂直走査周期で待機時は 4 垂直走査周期で極性反転を行なうようにしている。このような待機時クロック発生回路 3 0 を設けることで、待機時にはシステムクロックを完全に停止させることができ、消費電力の低減が図れる。

【 0 0 3 4 】（メモリと極性反転回路の具体例 1）図 6 は表示面積に重み付けの為された副画素ごとに S R A M と極性反転回路を設けた液晶表示装置の構成を示す回路図であり、図 6 の一点鎖線で囲んだ部分がそれぞれの副画素を示している。各副画素には、ワード線と、極性制御線 P +、P - と、データ線とが接続されており、シングルワード線構造である。各副画素は、ワード線の電位によりオン・オフするトランジスタ Q 3 と、極性制御線 P + の電位によりオン・オフするトランジスタ Q 4 と、極性制御線 P - の電位によりオン・オフするトランジスタ Q 5 と、縦続接続されたインバータ I V 3、I V 4 と、を有する。トランジスタ Q 3 とインバータ I V 3、I V 4 とで S R A M が構成され、トランジスタ Q 4、Q 5 により極性反転回路が構成される。

【 0 0 3 5 】 図 6 の回路は比較的簡単であり、行単位または複数行単位のランダムアクセス回路と、また二次元マトリクス状のランダムアクセス回路と組み合わせることにより、常に全画面更新を行う場合より大幅に低消費電力にできるが、誤書き込みが生じやすい、ワード線負荷が大きくなり消費電力が大きくなる、ワード線負荷が大きくなるなどの問題が生じる場合もある。このような問題を回避する手法として、以下に示すような二重ワード線構造を組み合わせることができる。

【 0 0 3 6 】（メモリと極性反転回路の具体例 2）図 7 は二重ワード線構造の回路図である。図 7 の回路は、列ワード線の電位によりオン・オフするトランジスタ Q 6

10

20

30

40

50

を有する。トランジスタQ6がオンすると、主ワード線の電位が副ワード線に供給される。副ワード線は、行方向に並んだ副画素それぞれに接続されている。例えば、副ワード線がハイレベルのときは、トランジスタQ3がオンするとともに、SRAMのフィードバック経路にあるトランジスタQ7がオフする。このときは、極性制御線P⁺、P⁻の電位により、トランジスタQ4、Q5のいずれかがオンする。

【0037】一方、副ワード線がローレベルのときはトランジスタQ7がオンし、SRAM内の後段側のインバータ出力が初段側のインバータの入力に帰還され、データが保持される。

【0038】このように、二重ワード線構造では、更新対象のブロックのみ副ワード線がアクティブになり、それ以外の副ワード線は非アクティブになるため、誤書き込みが起きにくくなる。

【0039】図8は二重ワード線構造を説明する図であり、図8の一点鎖線で囲んだ領域がデータの書き換え単位を示すブロックである。図示のように、主ワード線と列ワード線の電位により、いずれか一つの副ワード線のみがアクティブになる。また、選択されたブロック内の各1ビットメモリは順次駆動される。なお、ブロックの単位となる範囲は特に制限はなく、何ラインにわたってもよい。

【0040】(メモリと極性反転回路の具体例3) 図9Aはデータ線と極性制御線P⁺、P⁻とを隣接画素で共有する例を示す回路図である。図9の回路は、4つの重み付けされた副画素で一画素を構成し、これにより各画素毎に16階調表示を実現する例であり、4つの副画素は上下左右に2個ずつ配置されており、横方向に隣接する2つの副画素は、データ線を介して配置され、このデータ線を共有している。副画素は、データ線に接続されたトランジスタQ3と、SRAMと、極性反転回路とを有する。SRAMは、トランジスタQ4、Q5およびインバータIV3、IV4とを有し、極性反転回路は、トランジスタQ4、Q5を有する。

【0041】図9の回路は、横方向に隣接する副画素100でデータ線を共有するため、これら2つの副画素100にはそれぞれ別個のワード線を接続する必要がある。すなわち、図7の回路よりもワード線が余計になる。一方、極性制御線P⁺、P⁻は、上下方向に配置された4つの副画素100すべてに共通に接続される。

【0042】ところで、図9Aでは、横方向に隣接する2つの副画素100の間にデータ線を配置する例を説明したが、図9Bに示すように、隣接する2つの副画素100の左端(あるいは右端)にデータ線を配置してもよい。

【0043】(ディスプレイコントローラの構成) 図1のVRAM4とVRAMコントローラ5はワンチップにまとめら

れることが多い。

【0044】図10はVRAM4とVRAMコントローラ5をワンチップにまとめたディスプレイコントローラのブロック図である。図示のディスプレイコントローラは、CPU6とデータの送受信を行うホストインタフェース(ホストI/F)部41と、メモリコントローラ42と、ディスプレイFIFO43と、ルックアップテーブル44と、VRAM4と、書き込み監視回路45と、読み出しブロックアドレス発生回路46と、アドレス変換回路47と、図11のアドレスデコーダ2、3へのデータの受け渡しを行うインタフェース(I/F)部48とを有する。

【0045】書き込み監視回路45は、CPU6がVRAM4の内容を書き換えた否かを監視する。VRAM4の内容が書き換えられると、読み出しブロックアドレス発生回路46は、所定時間内に書き換えられた画素を含む画素ブロック分のアドレスを発生する。

【0046】アドレス変換回路47は、CPU6が指定したVRAM空間のアドレスを表示用のブロックアドレスに変換する。ルックアップテーブル44は、CPU6が指定した色階調データを1ビットメモリ用のデータに変換する。

【0047】(単一データ線メモリへの小振幅書き込み) 上述した図7の回路の場合、1ビットメモリにデータを書き込む際に、トランジスタQ7をオフにしてメモリループをカットしている。このような制御により、データ線に送り込むデータの振幅を極小化することができる。この場合のデータの振幅は、インバータIV3、IV4のしきい値ばらつき+ α 程度でよい。例えば、インバータIV3、IV4のしきい値が、素子ばらつきを考慮に入れて $2.5V \pm 0.3V$ とすると、データ線が $2.2V$ 以下の場合にはローレベルと認識され、 $2.8V$ 以上の場合にはハイレベルと認識される。

【0048】そこで、図11に示すように、 $0V-5V$ 振幅のデジタルバッファ50の出力を、アナログバッファ51にて $2V-3V$ 振幅の信号にレベルシフトした後、1ビットメモリ55に供給する。これにより、消費電力の低減が図れる。

【0049】また、1ビットメモリ55内のどこかに容量C1を接続するのが望ましい。このような容量C1を付加することにより、ワード線をオフした後も容量にダイナミックに書き込みレベルが保持されるので、インバータIV3、IV4の遅延が大きくてワード線が活性化している間にインバータループの動作が安定化しなくても、しばらく後に安定状態に到達できる。なお、容量C1は外付けのものでなくてもよく、回路に寄生している容量、液晶容量、または補助容量Csでも有効である。

【0050】さらに、 $0V-5V$ 振幅のデジタルデータを、アナログバッファ51により、 $2V-3V$ あるいは $1V-4V$ の小振幅にすることにより、データ分配用のバス配線で消費される電力を低減できる。アナログバッ

ファの代わりに、信号のロー／ハイに応じて1V-4V電源線をデータ線に接続する簡単な方法も可能であり、特性ばらつきの大きいポリシリコンTFTでアナログバッファを構成するよりも消費電力のロスが小さくなる。

【0051】一方、図5のマルチプレクサなどの論理回路は、比較的大きな振幅で駆動する必要がある。このため、図12に示すように、小振幅に変換するアナログバッファ51の後段側に、大振幅に変換するレベルシフタ52を設ける必要がある。

【0052】図13はレベルシフタ52の一例を示す回路図、図14は図13の回路の入出力波形を示す図である。図14において、300nsecまではスイッチSW1がオンしてスイッチSW2がオフする。このため、図13のコンデンサC2の左側電極は1.65Vになる。また、このとき、インバータ53の入出力端子はスイッチSW3を介して導通状態にあるため、インバータ53の入出力端子はしきい値電圧に略等しい電圧になる。

【0053】300nsec以降はスイッチSW1がオフしてスイッチSW2がオンする。これにより、しきい値ばらつきに応じた電圧に変換する。

【0054】図15はアナログバッファ51周辺の詳細な回路図である。アナログバッファ51の入力端子には、スイッチSW4、SW5が接続され、アナログバッファ51の出力端子にはコンデンサC3を介してインバータ54が接続されている。

【0055】アナログバッファ51は、簡単には図16Aのような2個のトランジスタQ8、Q9で構成される。あるいは、図16Bのように差動増幅回路構成にしてもよい。

【0056】上述した実施形態では、画素アレイ部1内の1ビットメモリをSRAM構造にする例を説明したが、DRAM構造や抵抗負荷型構造にしてもよい。図17は1ビットメモリの構造を示す図であり、図17AはSRAM構造の例、図17Bは抵抗負荷型構造の例、図17CはDRAM構造の例を示している。

【0057】SRAMを構成するインバータのPMOSトランジスタを抵抗に置き換えたものが図17Bの抵抗負荷型構造になる。また、図17Cに示すDRAM構造の場合、点線で示すDRAM部分の他に、リフレッシュと極性反転を行う回路が複数ビットごとに設けられている。

【0058】図18は図17CのDRAM構造のタイミング図である。以下、図に基づいて図17Cの動作を説明する。電源電圧VDDと接地電圧VSSは、その差を5Vに保ちながら、COM電圧に同期して振る。

【0059】まず、データ書き込みの手順を説明する。データ書き込み時は、図17Cのワード線Wiを活性化することで、データが補助容量Csと初段のインバータに印加される。このとき、信号Aがハイレベルのため、トランジスタはオフ状態であり、インバータのループは遮断されている。

【0060】次に、ワード線Wiを非活性にして信号Aをローレベルにすると、インバータのループが活性化し、初段のインバータのゲート容量にダイナミックに保持されていた電圧レベルが反転増幅され、所望の電圧レベルになる。

【0061】次に、信号S Biを導通させる。これにより、Csレベルは電源レベルに充電される。その後、ワード線Wiを活性化して、上記の手順を繰り返す。

【0062】一方、データ保持期間中の反転リフレッシュは、以下の手順で行われる。図17Cにおいて、信号SAiを活性化すると、補助容量Csの電圧レベルが初段のインバータのゲートに動的に保持される。信号Aがローレベルになると、インバータのループが活性化し、このループの増幅動作により、保持レベルが電源レベルになる。次に、信号S Biを活性化すると、反転レベルが補助容量Csに書き込まれる。次に、信号SA(i+1)を活性化し、上記の手順を繰り返す。

【0063】なお、データのリフレッシュは、データの書き込みを行わない期間（ブランキング期間）に行われる。

【0064】図19は、メモリ全体を書き換える場合と、行単位で書き換える場合と、行列単位で書き換える場合とで、消費電力を比較した図である。図示のように、消費電力が最も多いのはメモリ全体を書き換える場合で、次に行単位で書き換える場合であり、消費電力が最も少ないのが本実施形態と同様に行列単位で書き換える場合である。

【0065】図20はDRAM構造の1ビットメモリを利用して画素アレイ部1を構成した場合の液晶表示装置の概略構成を示すブロック図である。図20の回路構成は、基本的には図5と同様であるが、画素アレイ部1に反転リフレッシュ回路付きのDRAMが設けられている点で図と異なる。DRAM構造にすることで、SRAM構造よりも回路構成を簡略化でき、消費電力も低減できる。

【0066】以上では、1ビットメモリに記憶された論理レベルに基づく表示を詳しく説明したが、デジタル映像信号をアナログ電圧レベルにD/A変換し、アナログ電圧レベルをデータ線に印加し、液晶容量や、Cs容量に書き込む通常の表示手段も併用できる。各副画素4bitメモリとし、待機表示モードではメモリベースの4bit低消費電力表示、動画表示モードではD/A変換による6-8bit表示にできる。また、本発明における表示層は液晶層に限らず、EL層等であってもよい。

【0067】次に、第1の実施形態の液晶表示装置の好適な具体例について図面を参照して説明する。

【0068】この液晶表示装置は、PDA用に用いられる対角4インチサイズ、総画素数320(×3)×480の表示領域を備えた光反射型である。

【0069】図21は、この液晶表示装置の概略構成図、図22は表示画素の概略構成図、および図23は液

晶表示装置の一部概略断面図である。

【0070】この液晶表示装置は、絶縁基板として例えばガラスからなるアレイ基板200上に、表示アレイ部1、一対のYアドレスデコーダ2a、2b、Xアドレスデコーダ3、および図1中のVRAMコントローラ5の機能の一部を内蔵したインターフェイス部5aとを、例えば多結晶シリコン・トランジスタ(p-Si TFT)により一体的に形成したものである。

【0071】上記したインターフェイス部5aをアレイ基板200上に一体的に形成することで、後述するグラフィック・コントローラIC5bの出力ピン数を低減でき、これによりグラフィック・コントローラIC5bを低減化できることは勿論であるが、更に後述するグラフィック・コントローラIC5b動作を停止させることができ、これにより一層の低消費電力化が達成される。

【0072】この他、アレイ基板200上には、図1中のVRAMコントローラ5の機能の一部と表示メモリ(VRAM)4とを1パッケージにまとめたグラフィック・コントローラIC5bと、DC/DCコンバータ等の電源回路を内蔵した電源IC8とがCOG(chip on glass)により実装されている。

【0073】グラフィック・コントローラIC5bはシステムバスL1に直接接続されている。電源IC8は図示しない外部電源に接続され、3Vの駆動電圧VDDおよびグランド電圧VSSの供給を受ける。

【0074】表示アレイ部1は、上述したように総画素数320(×3)×480で構成され、表示領域の左右で2分割され、また上下で4分割された160(×3)×120画素からなる8ブロック(A1~4、B1~4)に区分される。表示アレイ部1内の左ブロック(A1~4)はYアドレスデコーダ2aによって制御され、右ブロック(B1~4)はYアドレスデコーダ2bによって制御される。

【0075】表示アレイ部1を構成する各表示画素は、図22に示すように、面積比率が2:1の副表示画素電極81a、81bをそれぞれ備えている。第1の副表示画素電極81aと対向電極Vcomとの間には液晶容量CLcaが形成され、第2の副表示画素電極81bと対向電極Vcomとの間には液晶容量CLcbが形成される。

【0076】第1副画素電極81aに対応して、3ビット分の画素データDATAを記憶するDRAM71a-1、71a-2、71a-3と、各DRAM71a-1、71a-2、71a-3に対応して設けられる転送用TFT72a-1、72a-2、72a-3と、各DRAM71a-1、71a-2、71a-3に対して共通に設けられるリフレッシュ回路73aと、第1副画素電極81aとリフレッシュ回路73aとの間に配置される極性反転回路77aとが設けられる。

【0077】また、第1副画素電極81aの1/2の面積をもつ第2副画素電極81bに対応して、3ビット分の画素データを記憶するDRAM71b-1、71b-2、71

b-3と、各DRAM71b-1、71b-2、71b-3に対応して設けられる転送用TFT72b-1、72b-2、72b-3と、各DRAM71b-1、71b-2、71b-3に対して共通に設けられるリフレッシュ回路73bと、極性反転回路77bとが設けられる。

【0078】また、第1副表示画素電極81aと第2副表示画素電極81bとの間には、液晶容量CLca、CLcbに保持された電荷を放電させるディスチャージ回路78が設けられている。

【0079】DRAM71a-1、71a-2、71a-3、71b-1、71b-2、71b-3のそれぞれは、サンプリングトランジスタSTr1~STr5と容量Cs0~Cs5とを有する。

【0080】リフレッシュ回路73a、73bは、0V(Vss)および5V(Vdd)の電圧ラインに接続され、直列接続された2つのインバータIV1、IV2と、初段のインバータIV1の入力端子と後段のインバータIV2の出力端子との間に接続された帰還TFT76a、76bとを有する。そして、前段のインバータIV1の出力端子および後段のインバータIV2の出力端子は極性反転回路77に接続されている。

【0081】次に、図21の液晶表示装置の動作について説明する。

【0082】図21の液晶表示装置は、面積階調(各表示画は2副表示画素電極81a、81bで構成される)とパルス幅変調(1フレーム期間に点灯時間の異なる3つのサブフレーム期間を設け、各サブフレーム(第1~第3表示)期間の点灯時間の比率を、1:2:4とする)とを組み合わせた駆動により、6ビット映像データに基づく64階調表示を実現するものである。

【0083】各表示画素はメモリとしてDRAMを備えているため、静止画等を表示する際には周辺駆動回路の動作を停止させることができ、低消費電力化が可能になる。また、表示領域の8ブロックの独立制御により、表示画面の部分的な書換えが可能になるため、周辺駆動回路の動作を部分的に停止させることができ、より一層の低消費電力化が可能になる。

【0084】詳しくは、グラフィック・コントローラICは、グラフィック・コントローラIC内のフレームメモリの更新がない期間には電源IC8に休止信号SHUTを出力し、これに基づいて電源IC8は一部のブロックの電源供給を停止して低消費電力化を図る。

【0085】まず、グラフィック・コントローラICに映像データdataの入力がない場合について説明する。

【0086】従来の液晶表示装置では、グラフィック・コントローラICに映像データdataの入力がない場合であっても、グラフィック・コントローラICは常に1フレーム分の画素データを出力していたが、この実施例の液晶表示装置では各画素がメモリを内蔵しているため、グラフィック・コントローラICからの一切の映像データdataの出力を停止させることができる。また、これに

に伴いXアドレスデコーダの動作も停止させることができ、更に一部電源の出力も停止させることにより低消費電力化が達成される。

【0087】図24はこの表示画素の1フレーム期間内の表示タイミングを示す図である。図24を参照して、例えばA2ブロック内の一表示画素の表示を例にとって説明する。

【0088】まず、時刻 $t_1 \sim t_2$ の間では、DRAM71b-1の容量Cs0にデータ線Xnbを介して0ビット目のデータ（例えば、“0”）が保持されるとともに、DRAM71a-1の容量Cs3にデータ線Xnaを介して3ビット目のデータ（例えば“1”）が保持される。

【0089】その後、時刻 $t_2 \sim t_3$ （第1表示期間）では、極性反転回路77に入力される極性信号PolAがハイレベル、PolBがローレベルに設定され、第1副表示画素電極81aには5V（Vdd）の電圧が、第2副表示画素電極81bには0V（Vss）の電圧がそれぞれ印加される。尚、この時、対向電極の電圧は0Vに設定されており、これにより第1表示期間内（時刻 $t_2 \sim t_3$ ）は、第1副表示画素電極81aに対応する領域は光が透過し、第2副表示画素電極81bに対応する領域は光が遮断する。

【0090】その後、時刻 $t_3 \sim t_4$ の間では、制御信号Aをハイレベルに設定して、第1および第2副表示画素電極81a、81bの電位を対向電極電位Vcomにショートさせる。これにより、液晶容量CLca、CLcbに保持されている電荷はいったん放電される。また、DRAM71b-2の容量Cs1にデータ線Xnbを介して1ビット目のデータ（例えば“1”）が保持されるとともに、DRAM71a-2の容量Cs4にデータ線Xnaを介して4ビット目のデータ（“0”）が保持される。

【0091】その後、時刻 $t_4 \sim t_5$ （第2表示期間）では、極性反転回路77に入力される極性信号PolAがハイレベル、PolBがローレベルに設定され、第1副表示画素電極81aには0V（Vss）の電圧が、第2副表示画素電極81bには5V（Vdd）の電圧がそれぞれ印加される。尚、この時、対向電極の電圧は第1表示期間と同様に0Vに設定されており、これにより第1表示期間内（時刻 $t_2 \sim t_3$ ）は、第1副表示画素電極81aに対応する領域は光が遮断し、第2副表示画素電極81bに対応する領域は光が透過する。

【0092】その後、時刻 $t_5 \sim t_6$ の間では、制御信号Aをハイレベルに設定して、第1および第2副表示画素電極81a、81bの電位を対向電極電位Vcomにショートさせる。これにより、液晶容量CLca、CLcbに保持されている電荷はいったん放電される。また、DRAM71b-3の容量Cs2にデータ線Xnbを介して1ビット目のデータ（例えば“1”）が保持されるとともに、DRAM71a-3の容量Cs5にデータ線Xnaを介して4ビット目のデータ（“0”）が保持される。

【0093】その後、時刻 $t_6 \sim t_7$ （第3表示期間）では、極性反転回路77に入力される極性信号PolAがハイレベル、PolBがローレベルに設定され、第1副表示画素電極81aには5V（Vdd）の電圧が、第2副表示画素電極81bには0V（Vss）の電圧がそれぞれ印加される。尚、この時、対向電極の電圧は0Vに設定されており、これにより第1表示期間内（時刻 $t_2 \sim t_3$ ）は、第1副表示画素電極81aに対応する領域は光が透過し、第2副表示画素電極81bに対応する領域は光が遮断する。

【0094】このように、本実施例では、面積階調を実現するための2つの副表示画素電極81a、81bと、パルス幅変調を実現するための1フレーム期間内の第1～第3表示期間（第1～第3表示期間の点灯時間の比率は1:2:4）とを組み合わせさせた駆動により、6ビット映像データに基づく64階調表示が実現される。

【0095】尚、次フレーム期間においては、極性反転回路77に入力される極性信号PolAはローレベル、PolBはハイレベルに設定され、かつ対向電極の電圧は5Vに設定されるため、同一の表示状態を維持しつつ、液晶に印加される電圧極性を反転することができ、焼き付け防止が図れる。

【0096】以上のように、図21の液晶表示装置では、グラフィック・コントローラICに映像データdataの入力がない場合にXアドレスデコーダの動作を完全に停止させ、内蔵されるDRAMに保持された画素データDATAにより表示を維持することができる。

【0097】次に、上記の表示状態が続いた後に、グラフィック・コントローラICに映像データdataが入力された場合（表示領域内のA1ブロックの一部の表示が変更がある場合）について説明する。

【0098】グラフィック・コントローラICには、CPU6（図1参照）からシステムバスL1を介してシステムクロックSYSCLKと共に、映像データdataおよびこの映像データdataのアドレスデータadrsが入力される。グラフィック・コントローラICは、このアドレスデータadrsに基づいてグラフィック・コントローラIC内のフレームメモリを順次更新する。

【0099】グラフィック・コントローラICは、入力されるシステムクロックSYSCLKに基づいてXアドレスデコーダ3を制御するXクロックXCLKとXスタートXSTを出力するとともに、Yアドレスデコーダを制御するYスタートYSTをインターフェイス部5aに出力する。また、グラフィック・コントローラICは、更新された映像データdataに対応したA1ブロックの画素データDATAおよびA1ブロックの座標を指すアドレスデータADRSをインターフェイス部5aに出力する。

【0100】インターフェイス部5aは、入力されるXクロックXCLKに基づいてYクロックYCLKを生成し、このYクロックYCLKおよびYスタートYSTをYアドレスデ

ータ2 a, 2 bに出力し、またXクロックXCLKおよびXスタートXSTをXアドレスデコーダ3に出力する。更にインターフェイス部5 aは、入力されるブロック単位の画素データDATAおよびアドレスデータADRSに基づき、YアドレスデータYADRSをYアドレスデコーダ2 a, 2 bに出力すると共に、画素データDATAおよびXアドレスデータXADRSをXアドレスデコーダ3に出力する。

【0101】Xアドレスデコーダ3は、入力される画素データDATAおよびXアドレスデータXADRSに基づいてH / 2期間でA2ブロックの一水平画素ラインに対応したデータをサンプリング回路SPでサンプリングし、データラッチDLで画素データDATAを保持する。そして、データ線ドライバXDR、データ線選択スイッチXSWを介してA2ブロックに対応するデータ線Xna, Xnbに、対応する画素データDATAを各ビット順に順次出力する。

【0102】Yアドレスデコーダ2 a, 2 bのデコード部DCは、入力されるYアドレスデータYADRSに基づいてA2ブロックに対応する制御部2 Lのみをアクティブとし、制御部2 Lは対応画素に信号(A, W1~W3, SA1~SA3, PolA, PolB)を出力する。

【0103】図24に示すA2ブロックのタイミングでXアドレスデコーダ3からA2ブロックに対応するデータ線Xna, Xnbに6ビットの画素データDATAが順次供給される。また、Yアドレスデコーダ2 aからサンプリングパルスW1が順次供給され、これにより、まず、6ビットDATAの0ビット目がDRAM71b-1の容量Cs0に保持されるとともに、3bitがDRAM71a-1の容量Cs3に保持される。次にサンプリングパルスW2が供給された時点で、6ビットDATAの1ビット目がDRAM71a-2の容量Cs1に保持され、4bit目がDRAM71b-2の容量Cs4に保持される。次にサンプリングパルスW3が供給された時点で、6ビットDATAの2bit目がDRAM71b-3の容量Cs2に保持され、5bit目がDRAM71a-3の容量Cs5に保持される。

【0104】例えば、先の表示状態と異なり、DRAM71b-1, 71b-2, 71b-3, 71b-1, 71b-2, 71b-3の容量Cs0に0bit目のデータ"1"が、容量Cs1に1bit目のデータ"0"が、容量Cs2に2bit目のデータ"1"が、容量Cs3に3bit目のデータ"0"が、容量Cs4に4bit目のデータ"1"が、容量Cs5に5bit目のデータ"0"が保持されるものとする。

【0105】なお、本実施例の構成によれば、各DRAM71a-1~71b-3と副表示画素電極81a, 81bに電流供給するリフレッシュ回路73a, 73bとはサンプリング動作時に転送用トランジスタ72a-1~72b-3により電氣的に切り離されるため、表示動作と独立してサンプリング動作を行うことが可能である。したがって、表示動作を行うのと同時にDRAM71a-1~71b-3のリフレッシュを行うことができ、リフレッシュ期間を他に設ける必要がなくなる。

【0106】図24に示す0, 3bit目のロード期間で、

転送パルスSA1により転送用トランジスタ72a-1, 72b-1は導通される。

【0107】例えば、第1表示期間(図24の時刻t2~t3)では、極性反転回路77に入力される極性信号PolAがハイレベル、PolBがローレベルに設定され、第1副表示画素電極81aには0V(Vss)の電圧が、第2副表示画素電極81bには5V(Vdd)の電圧がそれぞれ印加される。尚、この時、対向電極の電圧は0Vに設定されており、これにより第1表示期間内は、第1副表示画素電極81aに対応する領域は光が遮断し、第2副表示画素電極81bに対応する領域は光が透過する。

【0108】その後、図24の時刻t3~t4では、制御信号Aをハイレベルに設定して、第1および第2副表示画素電極81a, 81bの電位を対向電極電位Vcomにショートさせる。これにより、液晶容量CLca, CLcbに保持されている電荷はいったん放電される。また、DRAM71b-2の容量Cs1にデータ線Xnbを介して1ビット目のデータ(例えば"1")が保持されるとともに、DRAM71a-2の容量Cs4にデータ線Xnaを介して4ビット目のデータ("0")が保持される。

【0109】その後、時刻t4~t5(第2表示期間)では、極性反転回路77に入力される極性信号PolAがハイレベル、PolBがローレベルに設定され、第1副表示画素電極81aには5V(Vdd)の電圧が、第2副表示画素電極81bには0V(Vss)の電圧がそれぞれ印加される。尚、この時、対向電極の電圧は第1表示期間と同様に0Vに設定されており、これにより第1表示期間内(時刻t2~t3)は、第1副表示画素電極81aに対応する領域は光が透過し、第2副表示画素電極81bに対応する領域は光が遮断する。

【0110】その後、時刻t5~t6の間では、制御信号Aをハイレベルに設定して、第1および第2副表示画素電極81a, 81bの電位を対向電極電位Vcomにショートさせる。これにより、液晶容量CLca, CLcbに保持されている電荷はいったん放電される。また、DRAM71b-3の容量Cs2にデータ線Xnbを介して1ビット目のデータ(例えば"1")が保持されるとともに、DRAM71a-3の容量Cs5にデータ線Xnaを介して4ビット目のデータ("0")が保持される。

【0111】その後、時刻t6~t7(第3表示期間)では、極性反転回路77に入力される極性信号PolAがハイレベル、PolBがローレベルに設定され、第1副表示画素電極81aには0V(Vss)の電圧が、第2副表示画素電極81bには5V(Vdd)の電圧がそれぞれ印加される。尚、この時、対向電極の電圧は0Vに設定されており、これにより第1表示期間内(時刻t2~t3)は、第1副表示画素電極81aに対応する領域は光が遮断し、第2副表示画素電極81bに対応する領域は光が透過する。

【0112】尚、データ入力のなかった他のブロック

は、上述したように、DRAMに保持されている画素データに基づいて表示が維持される。

【0113】上述したように、本実施例の液晶表示装置によれば、内蔵6ビットメモリと、面積階調（各表示画素を2副表示画素電極81a、81bで構成）と、パルス幅変調（1フレーム期間に点灯時間の異なる3つのサブフレーム期間を設け、各サブフレーム（第1～第3表示）期間の点灯時間の比率を、1：2：4とする）とを組み合わせた構成により、静止画表示時にはXアドレスデコーダの動作を完全に停止させつつ、内蔵6ビットメモリにより64階調表示を実現することができ、消費電力を大幅に削減することができる。

【0114】また、表示領域を2次元的に複数のブロックに区分し、それぞれ独立制御可能にしたことで、部分的な領域の書換えも最小限の回路動作に留めて実現でき、消費電力を大幅に削減することができる。

【0115】この実施例では、液晶に印加される電圧の極性を1フレーム期間毎に反転させることで焼き付きによる表示品位の低下を防止したが、消費電力は増大するもののフリッカを低減させるために1フレームに限らず1水平画素ライン毎、あるいは複数水平画素ライン毎であってもかまわない。

【0116】また、この実施例では対向電極の電位をフレーム周期で変動させる、所謂コモン反転駆動を用いることで、インバータへ入力される電源電圧を2つに抑えることができ、アレイ基板の構成を簡略化が達成された。

【0117】ところで、上記の実施例では、Yアドレスデコーダを画素アレイ部1の左右に配置することで左右方向に2分割することを実現したが、この他にも例えば図25に示すように列ワード線駆動回路を配置することで、左右方向での分割数に制限がなく、より細かくブロック区分することが可能となる。即ち、先の実施例ではYアドレスデコーダの指定で対応ブロックが一義的に決定されたが、この実施例ではYアドレスデコーダと列ワード線駆動回路とのそれぞれの指定により対応ブロックが決定されることとなる。

【0118】図21の液晶表示装置の構成について、図23を参照して補足する。それぞれの回路ブロック等を構成するTFTは、ガラスからなる絶縁基板100上に多結晶シリコン（p-Si）101を活性層として形成され、NチャネルTFTはリーク電流を低減するためにLDD構造が採用されている。多結晶シリコン（p-Si）101上には酸化シリコン膜からなるゲート絶縁膜102が配置され、この上にMoW合金等からなるゲート電極103が配置されている。そして、この上に酸化シリコン膜からなる層間絶縁膜104を介して多結晶シリコン（p-Si）101に電気的に接続されるソースおよびドレイン電極105、106が配置されている。更にこの上にアクリル樹脂などからなる層間絶縁膜104が約3μmの膜厚で配置され、この上にA1からなる反射電極で画素電極107が配置されてアレイ基板99は構成されている。

【0119】このアレイ基板99に対向する対向基板110は、ガラス基板上にCr等の金属、あるいは黑色樹脂からなる遮光膜111が配置され、遮光膜111間に赤、青、緑のカラーフィルタ112が配置され、この上にITO等の透明電極からなる対向電極113が配置されて構成されている。

【0120】そして、アレイ基板99と対向基板113との間には配向膜114、115を介して液晶層116が保持され、更に対向基板113上には偏光板117が配置されて構成されている。

【0121】液晶層116としては、ツイスト・ネマチック液晶等の他に、応答性に優れた強誘電性液晶、OCB液晶等が好適に使用される。

【0122】また、液晶の表示モードとしては、上述した反射型の他に、透過型であってもよく、また反射電極に開口が形成された反射と透過を兼用する反射・透過型、更にはコレステリック液晶等の選択反射膜を用いた半透過型等、種々の表示モードに適用することができる。

【0123】（第2の実施形態）第2の実施形態は、表示素子としてEL（electroluminescence）素子を用いた例である。

【0124】このEL素子は、図26に示すようにガラスからなる絶縁基板100上に多結晶シリコン（p-Si）を活性層131として形成され、NチャネルTFTはリーク電流を低減するためにLDD構造が採用されている。多結晶シリコン（p-Si）上には酸化シリコン膜からなるゲート絶縁膜132が配置され、この上にMoW合金等からなるゲート電極133が配置されている。そして、この上に酸化シリコン膜からなる層間絶縁膜134を介して多結晶シリコン（p-Si）に電気的に接続されるソースおよびドレイン電極135、136が配置されている。更にこの上にアクリル樹脂などからなる層間絶縁膜137が約3μmの膜厚で配置され、この上にA1とITO等の透明電極との積層体からなる反射性の画素電極138が配置されている。

【0125】そして、画素電極を区画するために画素電極間にはアクリル系黑色樹脂からなる画素分離用隔壁139が配置され、画素分離用隔壁139に区画された画素電極上に高分子イオンコンプレックスからなるホール注入層140が配置されている。更にホール注入層140上には、各画素に対応した共役ポリマーからなる発光層141が配置され、この上に薄膜アルカリ土類金属とITO等の透明電極との積層体からなるカソード電極142が配置されて構成されている。

【0126】ホール注入層140や発光層141としては、上記した高分子材料はインクジェット塗布により形

成可能であるため生産性が高く好適であるが、この発明はこれに限られるものではなく各種低分子材料も好適に使用可能である。

【0127】図27は、このEL素子の概略構成図であり、EL表示装置の1画素分の構成を示している。図示のように、赤(R)色用、緑(G)色用、および青

(B)色用の3つのブロックで構成される。各ブロック内には、画素データを記憶するDRAM71と、転送用TFT72と、リフレッシュ回路73と、駆動用TFT74と、EL素子75とが設けられる。

【0128】DRAM71と転送用TFT72は画素データのビット数分だけ設けられる。例えば、図27は6個のDRAM71と転送用TFT72を備えており、 $2^6=64$ 階調の表示が可能である。

【0129】リフレッシュ回路73は、直列接続された2つのインバータIV3、IV4と、初段のインバータIV3の入力端子と後段のインバータIV4の出力端子との間に接続された帰還TFT76とを有する。後段のインバータIV4の出力端子は、駆動用TFT74のゲート端子に接続され、駆動用TFT74のソース端子にはEL素子75が接続されている。

【0130】リフレッシュ回路73には、6つのDRAM71と転送用TFT72が並列に接続されており、転送用TFT72のいずれかがオンすると、対応するDRAM71のデータが読み出されてリフレッシュ回路73に入力される。

【0131】図27のEL表示装置は、EL素子75の点灯期間を制御することにより、階調表示を実現している。例えば64階調表示を行う場合、図28に示すように、1フレーム期間に点灯時間の異なる6つのサブフレーム期間を設け、各サブフレーム期間の点灯時間(同図の黒部分)の比率を、1:2:4:8:16:32にする。そして、画素データの値に応じて、各サブフレーム期間内にEL素子75を点灯させるか否かを決定する。

【0132】図28Aは画素データ(1,1,1,1,1,1)の画素の場合を例として、該画素のEL素子が実際に点灯する期間を1フレームにわたり図示したものである。同図の黒で示した期間に実際に該画素のEL素子部が発光する。図28Bは画素データ(1,0,1,0,1,1)の画素の場合を例として、該画素のEL素子が実際に点灯する期間を1フレームにわたり図示したものである。

【0133】以下、図27のEL表示装置の動作を説明する。まず、ワード線 $W_i \sim W(i+5)$ を順にオンした状態で、ビット線にデータを順に供給することにより、DRAM71への画素データの書き込みが行われる。

【0134】DRAM71へのデータ書き込みが終了すると、制御線 $SA_i \sim SA(i+5)$ を制御することにより、6つの転送用TFT72を一つずつ順にオンさせる。より具体的には、サブフレーム期間ごとに、転送用TFT72を順に交互にオンさせる。

【0135】これにより、オンした転送用TFT72に接続されたDRAM71のデータが順にリフレッシュ回路73に入力される。この時点では、制御線Aはハイレベルであり、帰還TFT76はオフしている。

【0136】次に、制御線Aをローレベルにして帰還TFT76をオンさせる。これにより、リフレッシュ回路73でリフレッシュ動作が行われる。

【0137】一方、電源供給線には、図28Aと同周期の図28Cのような電圧パルスが供給される。したがって、リフレッシュ回路73の出力がハイレベルであれば、駆動用TFT74がオンし、図28Aの黒色期間の間、EL素子75が点灯する。

【0138】DRAM71に画素データを書き込むタイミングとEL素子75の発光タイミングは、一通りだけではなく、複数通りが考えられる。例えば、図29AはEL素子75の発光期間とは別個にDRAM71のデータ更新期間を設ける場合のタイミング図を示している。

【0139】また、図29BはEL素子75の発光期間の一部をDRAM71のデータ更新に利用する例を示している。発光期間中にデータの更新を行うには、例えば、転送用TFT72や帰還TFT76をオフすればよい。

【0140】また、図29CはEL素子75の発行機能とDRAM71のデータ更新とをほぼ同タイミングで行なう例を示している。この場合は、リフレッシュ動作が終わるとすぐに転送用TFT72をオフしてDRAM71とリフレッシュ回路73とを分離してDRAM71のデータ更新を行なえばよい。さらに、次のようにすると、発光期間とは全く独立にメモリ更新をすることが可能となる。即ち、転送用TFT72によりDRAM71の電圧をリフレッシュ回路に送っている最中であっても、ワード線 W_i が活性化したら必ず SA_i をローレベルにするロジックを定める。発光シーケンスとメモリ更新シーケンスを全く独立な周期で定めることができる。本発明のような構成ならばこそ可能となる。

【0141】図29Aよりも図29Bの方が発光期間を長くでき、また、図29Bよりも図29Cの方が発光期間を長くできる。一般には、発光期間が長い方が消費電力を低減できる。

【0142】本実施形態では、DRAMリフレッシュ回路として二つのインバータの入出力をループ上に接続するものを用いたが、DRAM71の論理レベルを増幅する機能を有した回路であれば他にも種々変形が可能である。

【0143】

【発明の効果】以上詳細に説明したように、本発明によれば、複数の1ビットメモリで1画素を構成し、1ビットメモリに極性反転回路を組み込んだため、簡易な制御で液晶の反転表示を行うことができる。

【0144】また、赤緑青の各色ごとに、面積の異なる複数の1ビットメモリを設けるため、階調表示が可能になる。

【0145】さらに、副ワード線を設けるため、無関係な1ビットメモリにデータを書き込むおそれなくなり、画質がよくなる。

【0146】また、隣接する1ビットメモリで、データ線および極性制御信号を共通化するため、配線数を削減できる。

【図面の簡単な説明】

【図1】本発明に係る液晶表示装置の一実施形態の概略構成を示すブロック図。

【図2】1画素分の構造を示す図。

【図3】各副画素領域の面積がRGBの各色で異なる例を示す図。

【図4】画素アレイ部1周辺の回路構成を示すブロック図。

【図5】メモリセル11周辺の回路構成をより詳しく示したブロック図。

【図6】副画素ごとにSRAMと極性反転回路を設けた構成を示す回路図。

【図7】二重ワード線構造の回路図。

【図8】二重ワード線構造を説明する図。

【図9】データ線と極性制御線P⁺、P⁻を共有する例を示す回路図。

【図10】VRAM4とVRAMコントローラ5をワンチップにまとめたディスプレイコントローラのブロック図。

【図11】アナログバッファでレベルシフトする例を示す図。

【図12】小振幅に変換するアナログバッファ51の後段側に、大振幅に変換するレベルシフタ52を設ける例を示す図。

【図13】レベルシフタの一例を示す回路図。

【図14】図13の回路の入出力波形を示す図。

【図15】アナログバッファ51周辺の詳細な回路図。

【図16】アナログバッファの具体的構成を示す回路図。

【図17】1ビットメモリの構造を示す図。

【図18】図17CのDRAM71構造のタイミング図。

【図19】メモリ全体を書き換える場合と、行単位で書

き換える場合と、行列単位で書き換える場合とで、消費電力を比較した図。

【図20】DRAM71構造の1ビットメモリを利用して画素アレイ部1を構成した場合の液晶表示装置の概略構成を示すブロック図。

【図21】DRAM71構造のメモリを利用して画素アレイ部1を構成した場合の液晶表示装置の概略構成を示すブロック図。

10 【図22】図21における一表示画素の概略構成を示す図。

【図23】図21における液晶表示装置の概略構成図。

【図24】図21における液晶表示装置の駆動タイミングを示す図。

【図25】DRAM71構造のメモリを利用して画素アレイ部1を構成した場合の他の液晶表示装置の概略構成を示すブロック図。

【図26】EL素子の概略断面図。

【図27】本発明に係る表示装置の第2の実施形態を示す概略構成図。

20 【図28】フレームとサブフレームとの関係を示す図。

【図29】発光期間とデータ更新期間との関係を示す図。

【符号の説明】

1 画素アレイ部

2, 3 アドレスデコーダ

4 表示メモリ (VRAM)

5 VRAMコントローラ

6 CPU

7 周辺回路

30 11 メモリセル

12 データバス

13 ビット線駆動回路

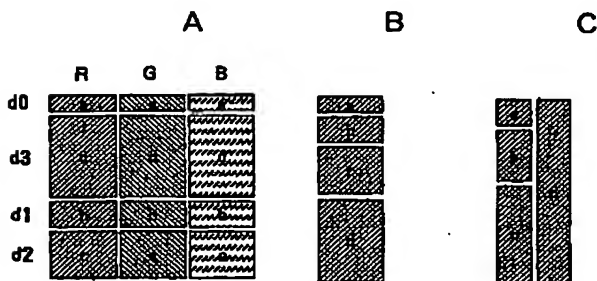
14 ワード線駆動回路

15 列ブロックセクタ

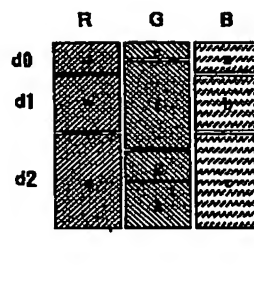
16 行ブロックセクタ

17 シフトレジスタ

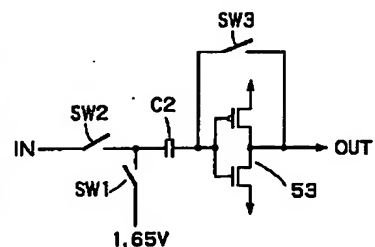
【図2】



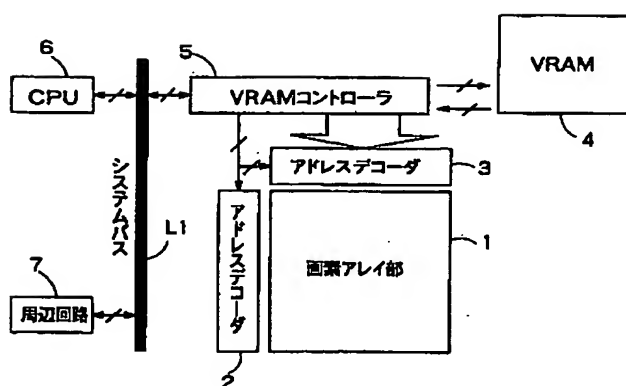
【図3】



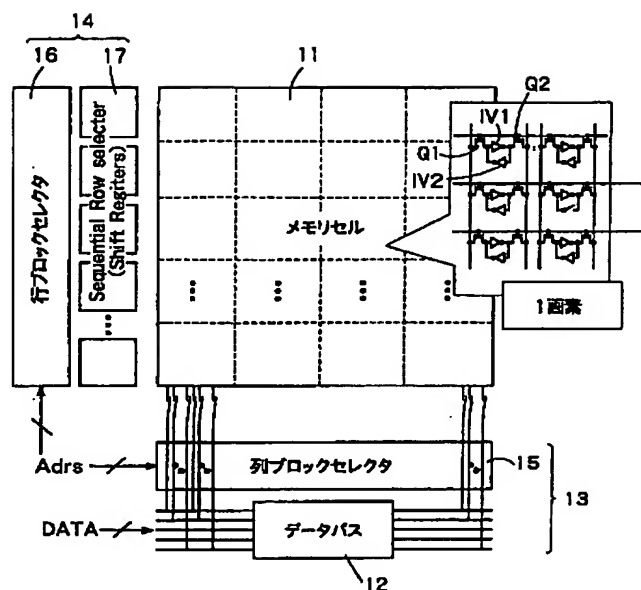
【図13】



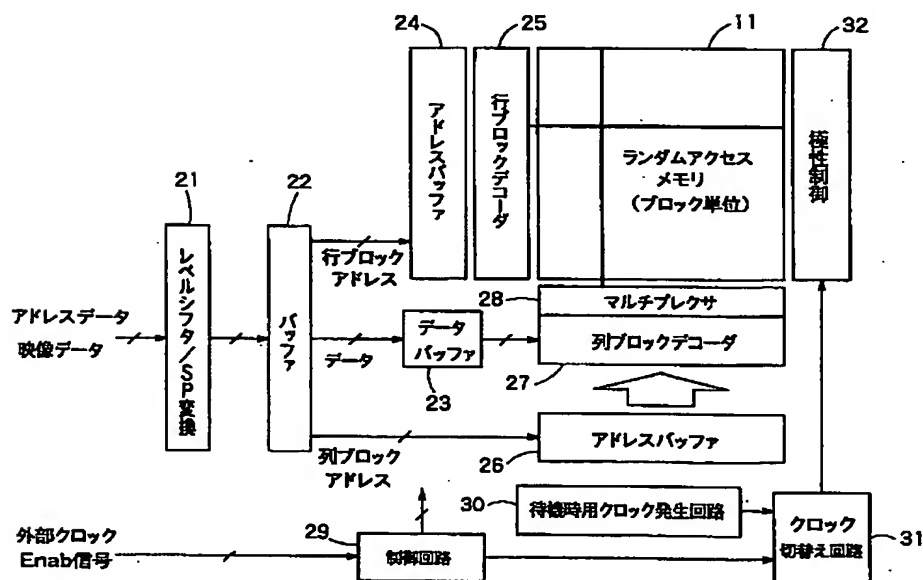
【図 1】



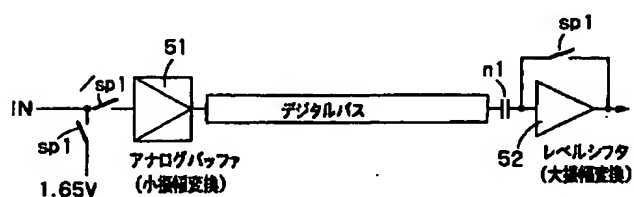
【図 4】



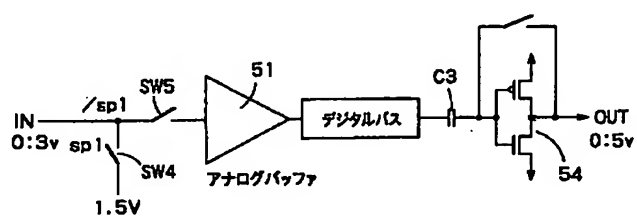
【图 5】



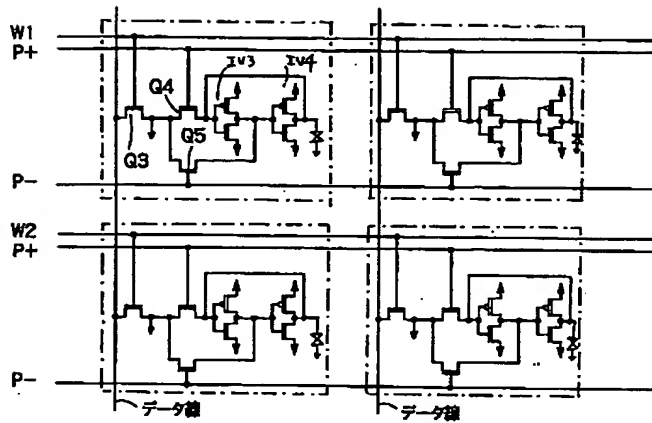
【図 1 2】



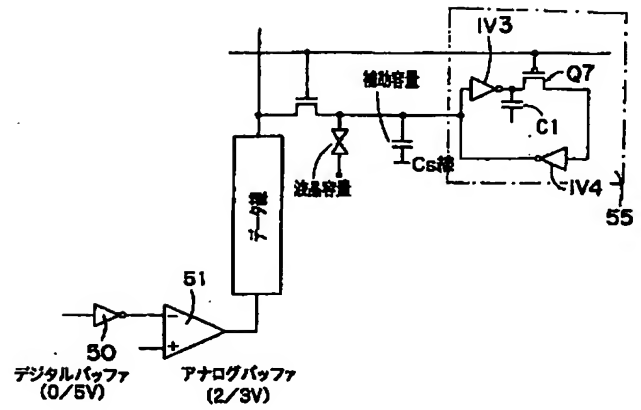
【図 15】



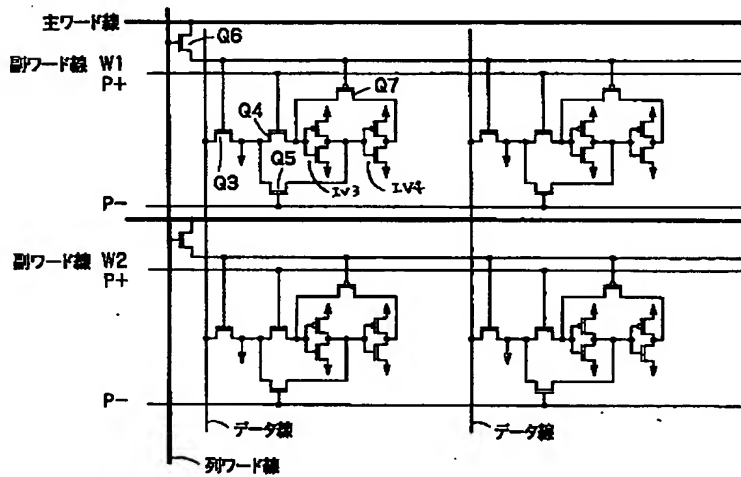
【図 6】



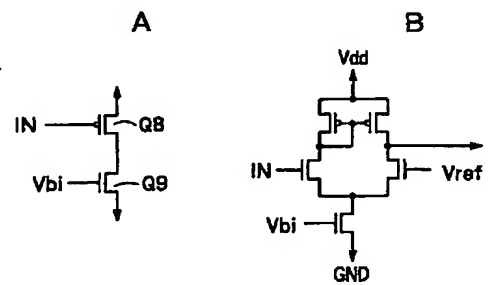
【図 11】



【図 7】

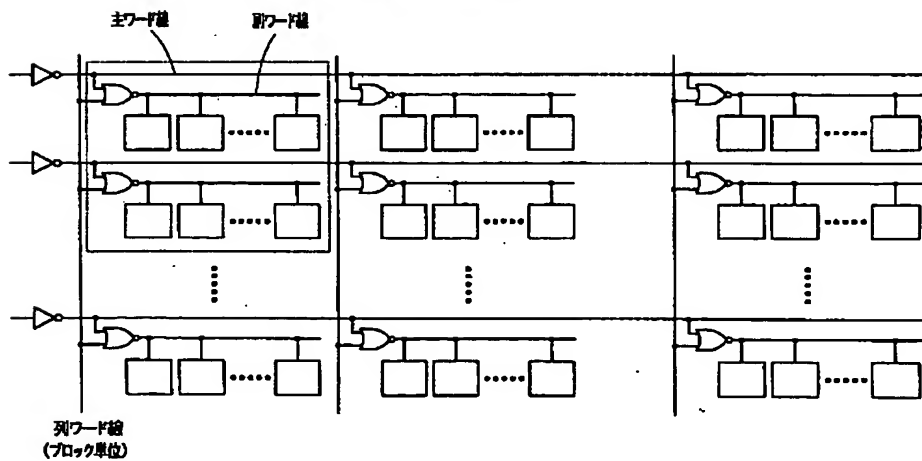


【図 16】

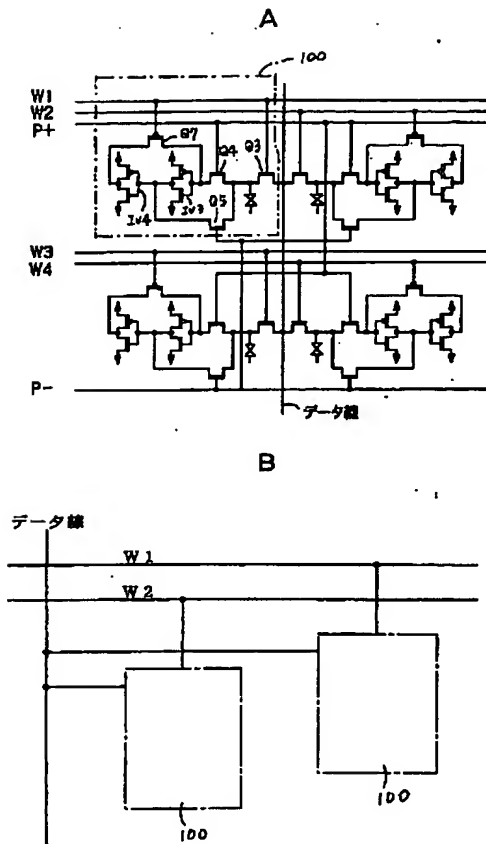


【図 8】

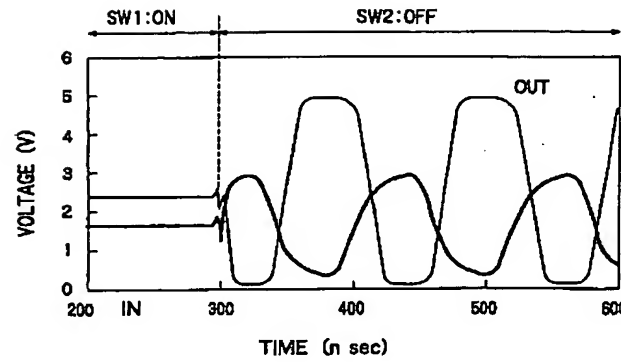
2重ワード線構造



【図 9】

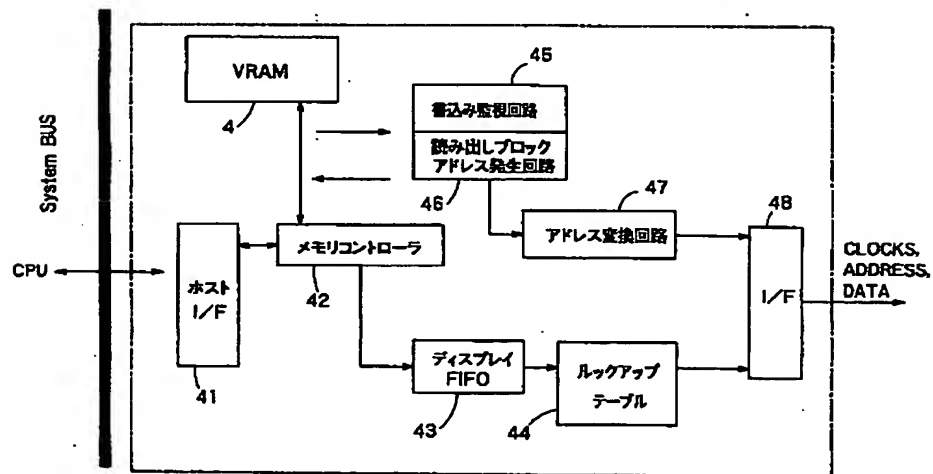


【図 14】

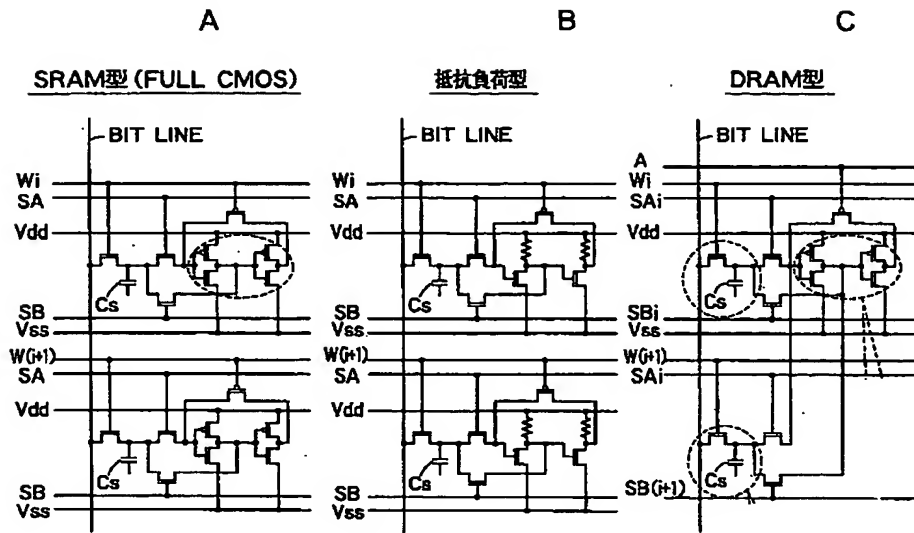


【図 10】

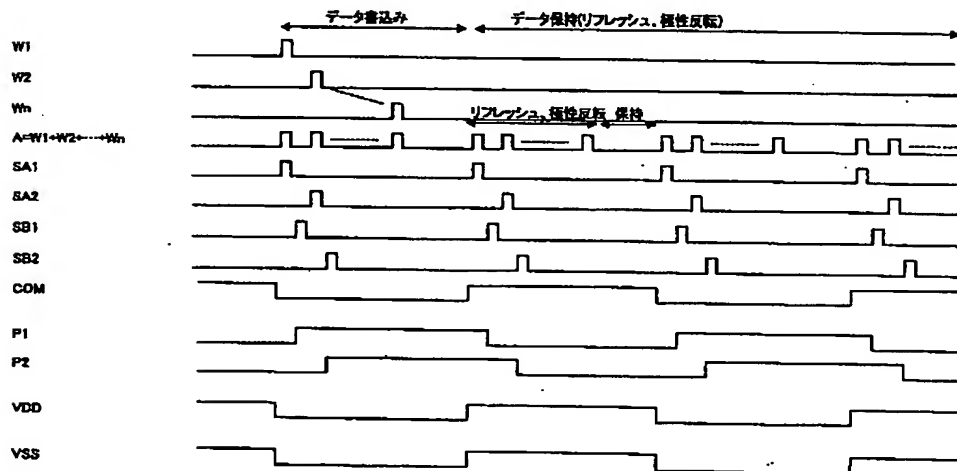
ディスプレイコントローラの機能ブロック図



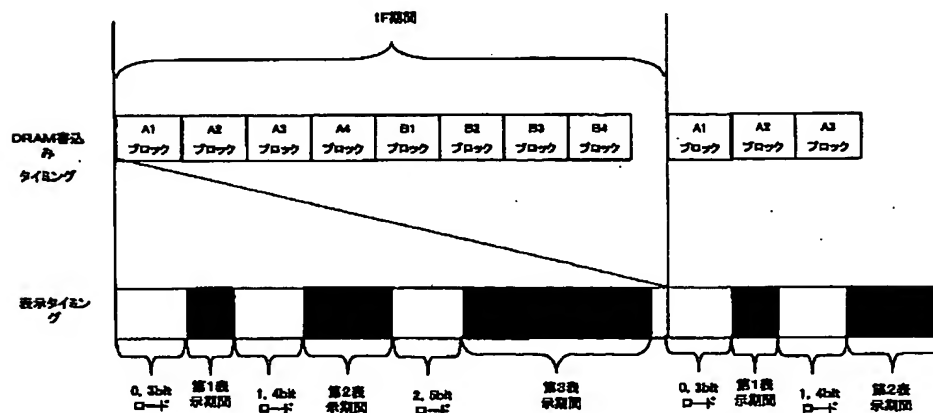
【図 17】



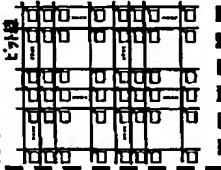
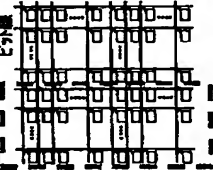

【図 18】



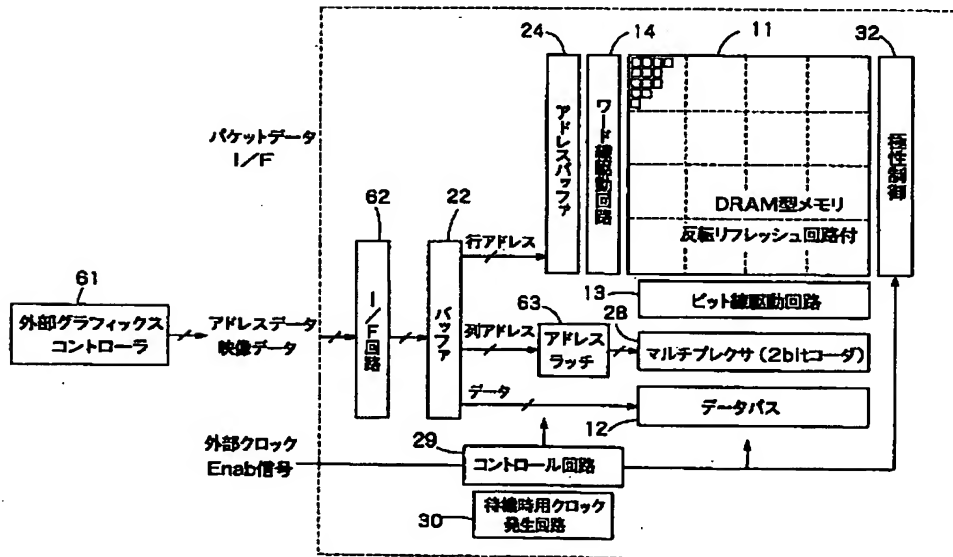
【図 24】



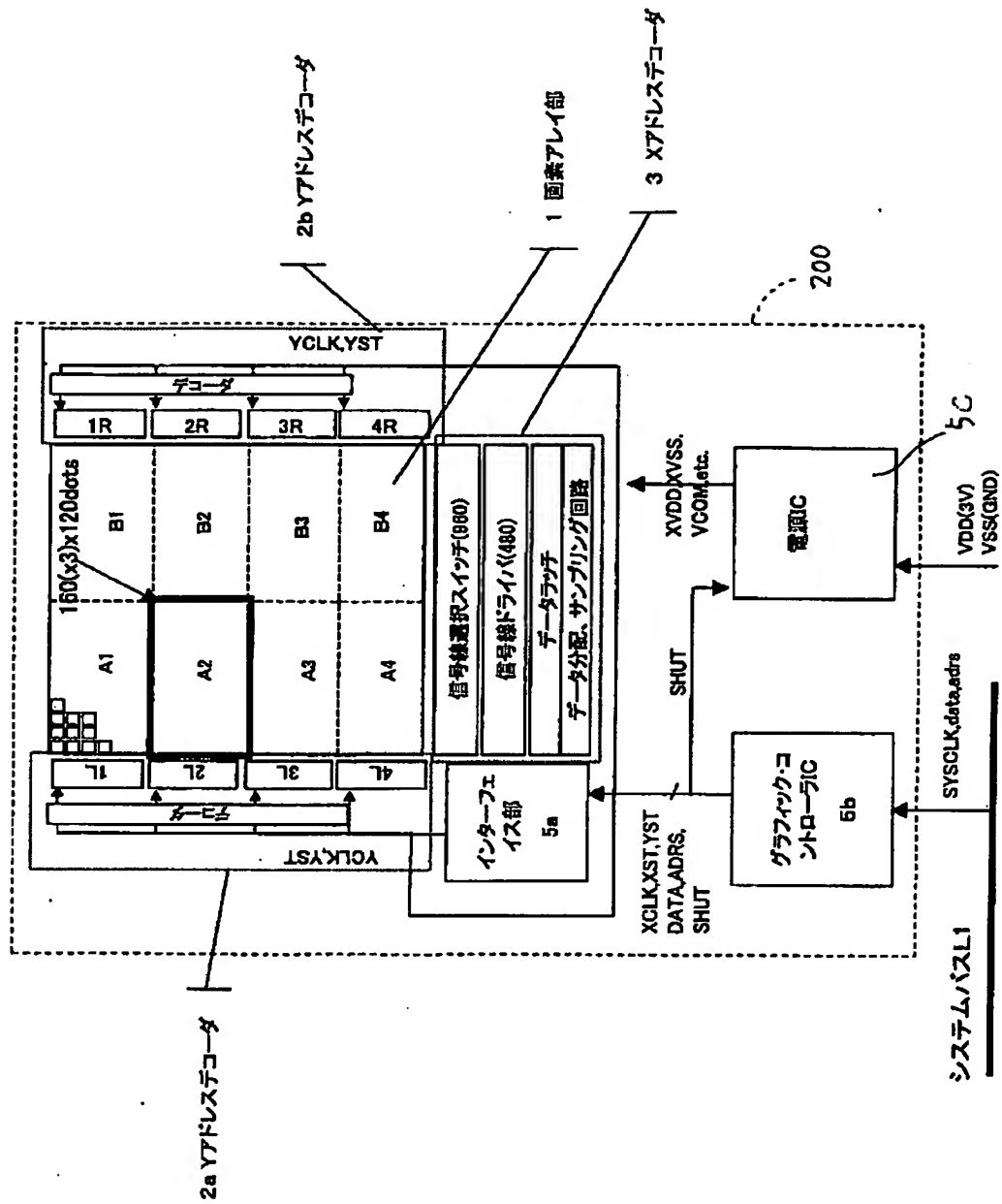
【図19】

	A. 全面書換え	B. 部分書換え	
	A. シーケンシャルワード線	B1. 行単位	B2. 行列単位
構造			
	全面書換え	特定行ブロックを書換え	特定ブロックを書換え
行配線	ワード [*] , P0Lx2, Vdd, Vss	ワード [*] , P0Lx2, Vdd, Vss	ワード [*] x2, P0Lx2, Vdd, Vss
列配線	ビット	ビット	ビット, 列ワード [*]
消費電力	1	1~1/(行分割数) 表示パターンにより異なる	1~1/(行分割数)/(列分割数) 表示パターンにより異なる

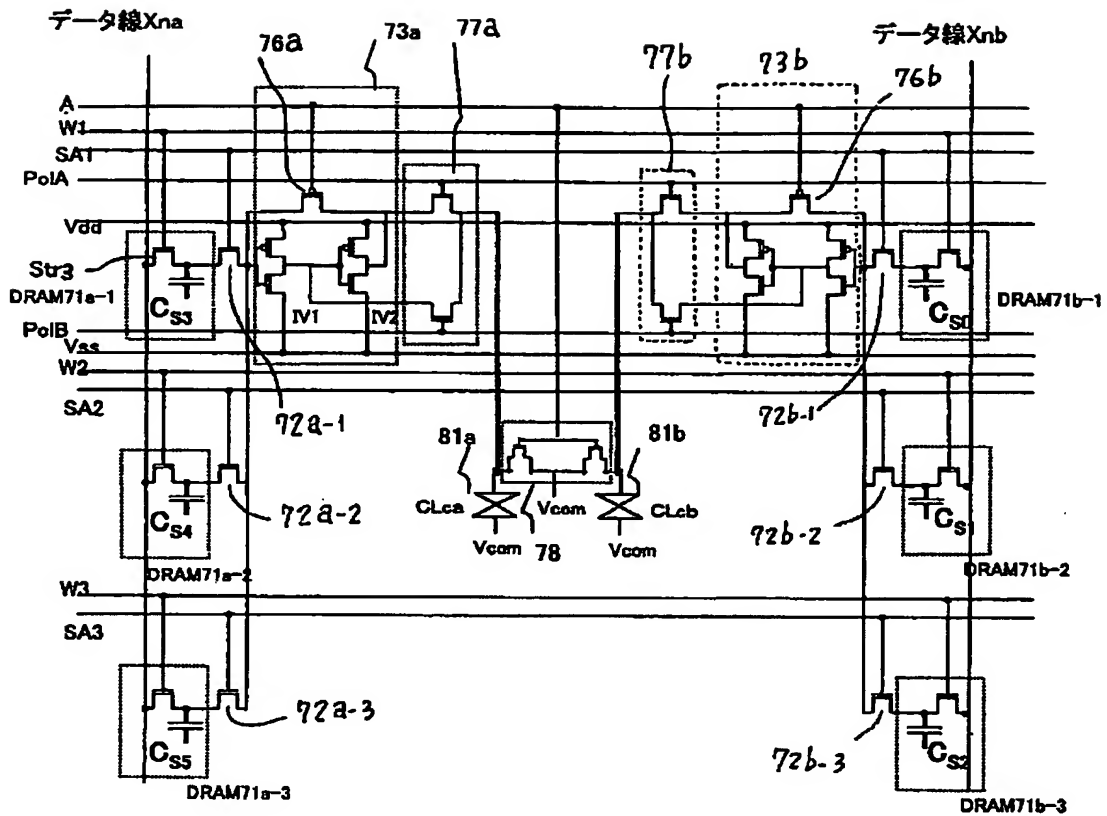
【図20】



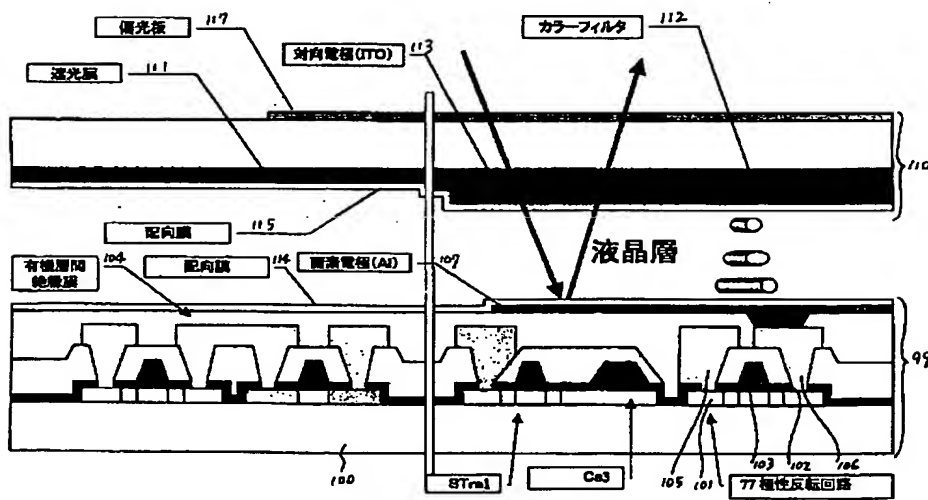
【図21】



【図 22】



【図 23】

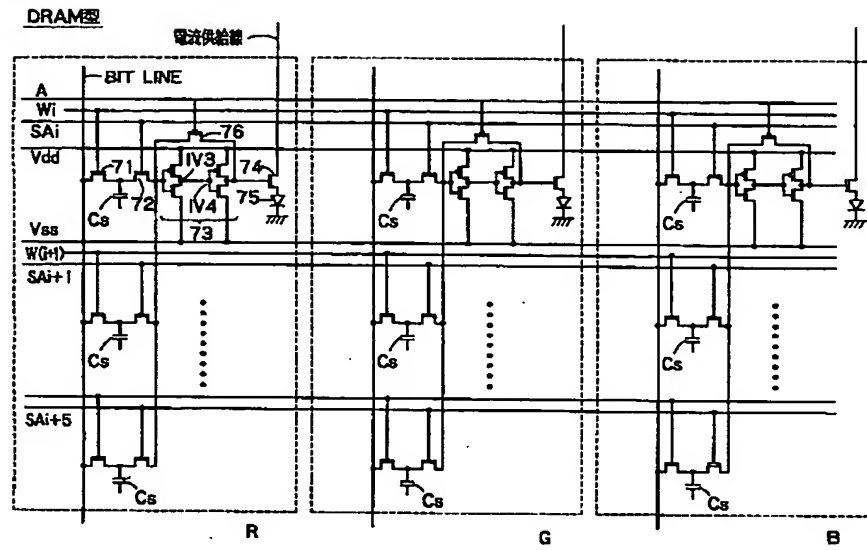


3 X アドレスデコーダ

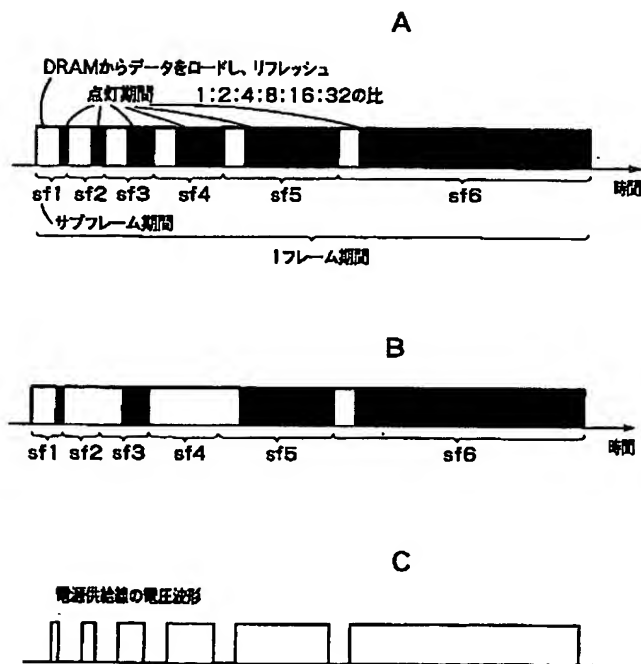
1 画素アレイ部

画素アレイ部

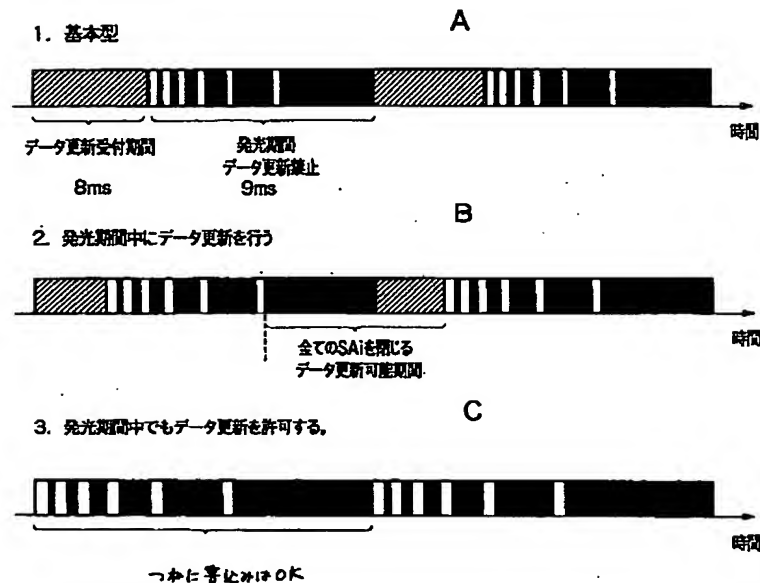
【図 27】



【図 28】



【図 29】



【手続補正書】

【提出日】平成14年2月28日（2002. 2. 28）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】表示装置及びその駆動方法

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】マトリクス状に配置された複数の表示画素と、この表示画素の行方向に沿って配置される複数の走査線と、この表示画素の列方向に沿って配置されるデータ線と、前記データ線に画素データを供給するデータ線駆動回路と、前記走査線に走査信号を供給する走査線駆動回路と、前記データ線駆動回路及び前記走査線駆動回路を制御する制御部と、を備えた表示装置において、前記表示画素は、前記走査信号にตอบสนองして対応する前記画素データをサンプリングするサンプリング部と、このサンプリング部によってサンプリングされた対応データを保持するメモリ部と、前記対応データに基づいて所定の表示を行なう表示部と、からなる複数の副表示画素有し、前記複数の副表示画素は、一のデータ線と一の走

査線とに対応して設けられる第1副表示画素と、前記一のデータ線と他の走査線とに対応して設けられる第2副表示画素と、を含むことを特徴とする表示装置。

【請求項2】前記一の走査線と前記他の一走査線とは互いに隣接して配置され、前記第1及び第2副表示画素は前記一のデータ線を隔てて配置されることを特徴とする請求項1に記載の表示装置。

【請求項3】前記一の走査線と前記他の一走査線とは互いに隣接して配置され、前記第1及び第2副表示画素は、前記一のデータ線と、この一のデータ線と隣接する他のデータ線との間に配置されることを特徴とする請求項1に記載の表示装置。

【請求項4】前記複数の副表示画素は、それぞれ異なる表示面積で形成されることを特徴とする請求項1に記載の表示装置。

【請求項5】前記複数の副表示画素のそれぞれは、前記画素データのビットに対応して設けられ、前記画素データのMSB (Most Significant Bit) 側のビットに対応する副表示画素ほど、表示面積が大きいことを特徴とする請求項4に記載の表示装置。

【請求項6】前記複数の副表示画素それぞれの表示面積の比率は、2のべき乗に設定されることを特徴とする請求項5に記載の表示装置。

【請求項7】前記メモリ部は、SRAMで構成されることを特徴とする請求項1に記載の表示装置。

【請求項8】前記複数の副表示画素は、第1ワード線に接続された第1副表示画素と、第2ワード線に接続され

た第2副表示画素と、第3ワード線に接続された第3副表示画素と、第4ワード線に接続された第4副表示画素と、を有し、前記第1～第4副表示画素のそれぞれは、1フレーム期間内にそれぞれ一回ずつ所定期間だけ表示されることを特徴とする請求項1に記載の表示装置。

【請求項9】前記第1～第4副表示画素は、それぞれ異なる表示面積で形成されることを特徴とする請求項8に記載の表示装置。

【請求項10】縦横に列設された複数の1ビットメモリからなるメモリセルと、前記複数の1ビットメモリのそれぞれに対応して設けられる画素電極と、ワード線の論理に応じて、前記データ線と前記1ビットメモリとの接続経路を遮断するか否かを切替制御する接続制御回路と、極性制御信号に応じて、前記データ線と前記1ビットメモリとの間で送受されるデータの極性を反転するか否かを切替制御する極性反転回路と、を備えることを特徴とする表示装置。

【請求項11】前記1ビットメモリの隣接する複数個で1画素が構成され、1画素内には、赤色用の少なくとも一つの前記1ビットメモリと、緑色用の少なくとも一つの前記1ビットメモリと、青色用の少なくとも一つの前記1ビットメモリとが設けられることを特徴とする請求項10に記載の表示装置。

【請求項12】前記1ビットメモリの隣接する複数個で1画素が構成され、1画素内には、赤色用の複数の前記1ビットメモリと、緑色用の複数の前記1ビットメモリと、青色用の複数の前記1ビットメモリとが設けられ、各色の前記複数の1ビットメモリの面積は互いに異なっていることを特徴とする請求項10に記載の表示装置。

【請求項13】縦横に列設された複数の1ビットメモリからなるメモリセルと、2個以上の所定個の前記1ビットメモリに対応して設けられる画素電極と、複数の第1ワード線および第2ワード線の論理により論理が定まる複数の副ワード線と、を備え、前記副ワード線のそれぞれには、複数画素分の前記1ビットメモリが接続され、前記副ワード線の論理により、対応する複数画素分の前記1ビットメモリの読み書きが行われることを特徴とする表示装置。

【請求項14】前記副ワード線が列設される第1方向とは異なる第2方向に列設される複数のデータ線と、極性制御信号に応じて、前記データ線と前記1ビットメモリとの間で送受されるデータの極性を反転するか否かを切替制御する極性反転回路と、を備えることを特徴とする請求項13に記載の表示装置。

【請求項15】マトリクス状に配置された複数の表示画素と、この表示画素の行方向に沿って配置される複数本の走査線と、この表示画素の列方向に沿って配置されるデータ線と、前記データ線に画素データを供給するデータ線駆動回路と、前記走査線に走査信号を供給する走査線駆動回路と、前記データ線駆動回路及び前記走査線駆

動回路を制御する制御部と、を備えた表示装置において、前記表示画素は、前記走査信号に応答して対応する前記画素データをサンプリングするサンプリング部と、このサンプリング部によってサンプリングされた対応データを保持するメモリ部と、前記対応データに基づいて所定の表示を行なう表示部と、からなる複数の副表示画素を有し、前記複数の副表示画素は、第1データ線に接続される n ($n \geq 1$) 個の第1副表示画素と、第2データ線に接続される前記 n 個の第2副表示画素と、を含むことを特徴とする表示装置。

【請求項16】前記メモリ部は、DRAMで構成され、前記複数の副表示画素のそれぞれは、1水平走査期間に、複数の分離した点灯期間をもち、各点灯期間はそれぞれ時間長さが異なっていることを特徴とする請求項15に記載の表示装置。

【請求項17】前記複数の副表示画素それぞれの表示を行うのに同期させて、前記メモリ部のリフレッシュ動作を行うリフレッシュ回路を備えることを特徴とする請求項15に記載の表示装置。

【請求項18】各画素の各色ごとに、画素データのビット数と同数ずつ設けられる複数の1ビットメモリと、前記複数の1ビットメモリそれぞれの値に応じて点灯または消灯する複数のEL (electroluminescence) 素子と、各画素の各色ごとに一つずつ設けられ、対応する前記1ビットメモリのデータを順に保持する保持回路と、前記保持回路で保持されたデータの論理に応じてオン・オフする駆動用トランジスタと、を備え、前記駆動用トランジスタは、オンのときに、1フレーム期間に画素データのビット数と同数の点灯可能な期間を持ち、これら期間のそれぞれで点灯するか否かを指示する信号を前記EL素子に供給することを特徴とする表示装置。

【請求項19】マトリクス状に配置された画素内に、画素データを保持する複数の1ビットメモリと、前記複数の1ビットメモリのそれぞれの値に応じて点灯または非点灯が制御されるEL素子と、前記複数の1ビットデータを1ビットずつ順に保持する保持回路と、前記保持回路で保持されたデータの論理に応じてオン・オフする駆動用トランジスタと、を備え、前記駆動用トランジスタは、オンのときに、複数の点灯可能な期間を持ち、これら期間のそれぞれで点灯するか否かを指示する信号を前記EL素子に供給することを特徴とする表示装置。

【請求項20】前記メモリ部は、DRAMで構成され、前記DRAMの電圧レベルを補正するリフレッシュ回路を前記画素内に備えることを特徴とする請求項19に記載の表示装置。

【請求項21】前記リフレッシュ回路は、前記保持回路を兼ねることを特徴とする請求項20に記載の表示装置。

【請求項22】前記リフレッシュ回路は、2つのインバータと、帰還TFTとを備え、これら2つのインバータ

は、帰還 T F T により、ループ状に接続されることを特徴とする請求項 20 に記載の表示装置。

【請求項 23】前記画素は、複数のメモリと、前記リフレッシュ回路との間に、転送用 T F T が設けられ、E L 素子の発光期間中にも、前記複数のメモリの書換えを可能としたことを特徴とする請求項 19 に記載の表示装置。

【請求項 24】前記 DRAM に保持された電圧を、前記リフレッシュ回路の 2 つのインバータの一方に入力し、前記帰還 T F T をオンすることによる DRAM のリフレッシュと、前記駆動用トランジスタによる E L 素子の点灯または非点灯の制御とを略同一のタイミングで行うことを特徴とする請求項 22 に記載の表示装置の駆動方法。

フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テームコード (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8
	3 6 5		3 6 5 Z
G 0 9 G 3/30		G 0 9 G 3/30	K
3/36		3/36	
F ターム (参考)			
2H092	GA59 JA24 JB22 JB31 NA26		
	PA06 QA07 QA13		
2H093	NA16 NA31 NA51 NC03 NC09		
	NC11 NC14 NC23 NC24 NC34		
	ND06 ND17 ND39 ND49 NF05		
	NF17		
5C006	AA12 AA22 AC26 AF04 BB16		
	BC06 FA47		
5C080	AA06 AA10 BB05 CC03 DD26		
	EE28 FF11 GG12 JJ02 JJ03		
	JJ04 JJ06		
5C094	AA02 AA44 AA53 BA03 BA09		
	BA27 BA43 CA19 DB04		